

2825

FEB 20 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yoshinori Hino et al. Art Unit : 2825
Serial No. : 10/080,823 Examiner : Phallaka Kik
Filed : February 21, 2002
Title : PATTERN LAYOUT METHOD OF SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENTS UNDER 35 USC §119

Applicant hereby confirms its claim of priority under 35 USC §119 from the following applications:

- Japan Application No. 2001-053627 filed February 28, 2001
- Japan Application No. 2001-053628 filed February 28, 2001
- Japan Application No. 2001-061828 filed March 6, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Applicant notes that the Office action of October 29, 2003 stated that applicant had not previously filed certified copies of the applications. That is incorrect. On about April 4, 2002, applicant submitted certified copies of the three priority documents listed above (*see* the enclosed copy of Transmittal of Priority Document Under 35 U.S.C. §119, dated April 4, 2002). The PTO apparently did not receive those copies and, therefore, applicant is re-submitting them.

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date of Deposit

2/5/04

Signature

Gina Maldonado

GINA MALDONADO

Typed or Printed Name of Person Signing Certificate

1

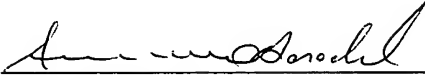
Applicant : Yoshinori Hino et al.
Serial No. : 10/080,823
Filed : February 21, 2002
Page : 2 of 2

Attorney's Docket No.: 10417-120001 / F51-
143214M/SW

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: 2/5/04



Samuel Borodach
Reg. No. 38,388

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291
30176660.doc



FEB 20 2004

Attorney's Docket No.: 10417-120001 / F51-143214M/TOM

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yoshinori Hino et al. Art Unit : Unknown
Serial No. : 10/080,823 Examiner : Unknown
Filed : February 21, 2002
Title : PATTERN LAYOUT METHOD OF SEMICONDUCTOR DEVICE

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

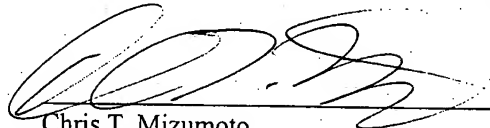
- Japan Application No. 2001-053627 filed February 28, 2001
- Japan Application No. 2001-053628 filed February 28, 2001
- Japan Application No. 2001-061828 filed March 6, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: April 4, 2002

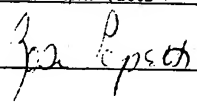

Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30085175.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

April 4, 2002
Date of Deposit
Signature 
Rose Papetti
Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 2 月 2 8 日
Date of Application: -

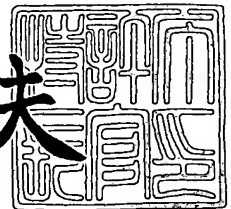
出 願 番 号 特 願 2 0 0 1 - 0 5 3 6 2 7
Application Number:
[ST. 10/C] : [J P 2 0 0 1 - 0 5 3 6 2 7]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 9 7 7 1

【書類名】	特許願
【整理番号】	KIA1010027
【提出日】	平成13年 2月28日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 29/78
【発明者】	
【住所又は居所】	大阪府守口市京阪本通2丁目5番5号 三洋電機株式 会社内
【氏名】	日野 美徳
【発明者】	
【住所又は居所】	新潟県小千谷市千谷甲3000番地 新潟三洋電子株 式会社内
【氏名】	武石 直英
【特許出願人】	
【識別番号】	000001889
【氏名又は名称】	三洋電機株式会社
【代表者】	桑野 幸徳
【代理人】	
【識別番号】	100107906
【弁理士】	
【氏名又は名称】	須藤 克彦
【電話番号】	0276-30-3151
【選任した代理人】	
【識別番号】	100091605
【弁理士】	
【氏名又は名称】	岡田 敬
【手数料の表示】	
【予納台帳番号】	077770
【納付金額】	21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのパターンレイアウト方法

【特許請求の範囲】

【請求項 1】 複数の出力ビットが配列されて成る半導体装置において、出力ビット群の端部に隣接するように当該出力ビットと同一形状のダミーパターンが形成されていることを特徴とする半導体装置。

【請求項 2】 出力 1 ビットが複数個配列されて所望の出力ビット群を構成するドライバ駆動用の半導体装置において、出力ビット群の端部に隣接するように当該出力ビットと同一形状のダミーパターンが形成されていることを特徴とする半導体装置。

【請求項 3】 前記ダミーパターンが、前記出力ビットが複数配置されている領域内の空きスペースに形成されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記ダミーパターンが、陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群の端部に隣接するようにそれぞれ形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群が隣り合う領域に形成されるダミーパターンの出力数が、それぞれの各出力ビット群が隣り合わない領域に形成されるダミーパターンの出力数よりも少ないことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記ダミーパターンが、ゲート電極用配線と同一形状であることを特徴とする請求項 1 から請求項 5 のいずれかに記載の半導体装置。

【請求項 7】 複数の出力ビットが配列されて成る半導体装置のパターンレイアウト方法において、

出力ビット群の端部に隣接するように当該出力ビットと同一形状のダミーパターンを形成することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 8】 出力 1 ビットが複数個配列されて所望の出力ビット群を構成するドライバ駆動用の半導体装置のパターンレイアウト方法において、出力ビット群の端部に隣接するように当該出力ビットと同一形状のダミーパ

ーンを形成することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 9】 前記ダミーパターンを、前記出力ビットが複数配置されている領域内の空きスペースに形成することを特徴とする請求項 7 または請求項 8 に記載の半導体装置のパターンレイアウト方法。

【請求項 10】 前記ダミーパターンを、陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群の端部に隣接するようにそれぞれ形成することを特徴とする請求項 8 に記載の半導体装置のパターンレイアウト方法。

【請求項 11】 前記陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群が隣り合う領域に形成されるダミーパターンの出力数を、それぞれの各出力ビット群が隣り合わない領域に形成されるダミーパターンの出力数よりも少なく配置することを特徴とする請求項 10 に記載の半導体装置のパターンレイアウト方法。

【請求項 12】 前記ダミーパターンを、ゲート電極用配線と同一形状となるようにパターンニング形成することを特徴とする請求項 7 から請求項 11 のいずれかに記載の半導体装置のパターンレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのパターンレイアウト方法に関し、更に言えば、例えば陽極ドライバと陰極ドライバ等を有し、それらを 1 チップ化した表示ディスプレイ駆動用ドライバ等のパターンレイアウト構造及びそのパターンレイアウト方法に関する。

【0002】

【従来の技術】

以下、上記表示ディスプレイ駆動用ドライバ等を構成する半導体装置について図面を参照しながら説明する。

【0003】

上記表示ディスプレイには、LCD ディスプレイ、LED ディスプレイ、有機

EL (エレクトロ・ルミネッセンス) ディスプレイ、無機ELディスプレイ、PDP (プラズマ・ディスプレイ)、FED (フィールド・エミッション・ディスプレイ) 等の各種フラット・パネル・ディスプレイがある。

【0004】

以下、一例として、例えば陽極ドライバと陰極ドライバを有し、有機EL素子に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動ドライバについて説明する。尚、EL素子は自発光であるため液晶表示装置に必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点を有していることから、次世代の液晶表示装置への応用が期待されている。特に、有機EL素子は高輝度が可能で、高効率、高応答特性、並びに多色化の点で無機EL素子より優れていることが知られている。

【0005】

そして、上記有機ELディスプレイ駆動用ドライバは、ロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、そしてレベルシフト用のNチャネル型MOSトランジスタ等から構成される。ここで、低オン抵抗化が図られた高耐圧系のMOSトランジスタとして、例えばD (Double diffused) MOSトランジスタ等が用いられる。尚、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャネル長として利用してなるものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0006】

また、上記有機ELディスプレイ駆動用ドライバ等の各種ドライバを構成する場合における半導体装置のパターンレイアウトは、出力1ビット分のレイアウトが、必要な出力数だけ繰り返し配置されて成る構成となっている。

【0007】

即ち、図13はドライバ駆動用の半導体装置のパターンレイアウトを示す平面

図であり、図示したように、出力1ビット分のレイアウトが必要な出力数だけ繰り返し配置されている。

【0008】

ここで、図13における1は1ビット分に相当する出力領域であり、当該1ビット分の出力領域1が複数個配列されて所望の出力数を有するドライバ部が構成されている。尚、2は前記出力領域1内に形成されたゲート電極用配線であり、当該ゲート電極用配線2に隣接するようにソース領域（S）及びドレイン領域（D）が形成されている（図中円内の拡大図参照）。

【0009】

【発明が解決しようとする課題】

ここで、多ビット化が進むに連れてビット間のばらつきが問題となってきている。即ち、ビット間のばらつきはゲート電極形成パターンの粗密の差により、フォトリソグラフィ及びエッチング時にマイクロローディング効果が発生し、これによるゲート電極の仕上がり形状及びその加工寸法に狂いが生じる場合があった。

【0010】

特に、前述したように陽極ドライバや陰極ドライバ等を有する有機ELディスプレイ駆動用ドライバを1チップ化しようとする場合には、自ずと各ドライバ部が混載されるため、上述したようなゲート電極形成パターンの粗密の差も大きくなり、フォトリソグラフィ及びエッチング時にマイクロローディング効果が発生し易くなり、これによるゲート電極の仕上がり形状及びその加工寸法のばらつきが大きくなり、表示不具合が発生してしまう。

【0011】

【課題を解決するための手段】

そこで、本発明の半導体装置とそのパターンレイアウト方法は、複数の出力ビットが配列されて成るものにおいて、出力ビット群の端部に隣接するように当該出力ビットと同一形状のダミーパターンを形成したことを特徴とする。

【0012】

また、当該半導体装置がドライバ駆動用の各トランジスタを構成し、前記ダミ

ーパターンが、陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群の端部に隣接するようにそれぞれ形成されていることを特徴とする。

【0013】

更に、前記ダミーパターンが、前記出力ビットが複数配置されている領域内の空きスペースに形成されていることを特徴とする。

【0014】

また、前記陰極ドライバ、陽極ドライバ、アイコン用の陽極ドライバを構成する各出力ビット群が隣り合う領域に形成されるダミーパターンの出力数が、それぞれの各出力ビット群が隣り合わない領域に形成されるダミーパターンの出力数よりも少ないことを特徴とする。

【0015】

そして、前記ダミーパターンが、ゲート電極用配線と同一形状であることを特徴とする。

【0016】

【発明の実施の形態】

以下、本発明の半導体装置とそのパターンレイアウト方法に係る一実施形態について図面を参照しながら説明する。尚、本実施形態では、表示ディスプレイの一例として有機ELディスプレイを例示し、当該有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置について説明する。

【0017】

上記有機ELディスプレイ駆動用ドライバは、図10(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタ、及び低オン抵抗化が図られた高耐圧系の(例えば、30V)

Pチャネル型MOSトランジスタで構成される。尚、説明の便宜上、上記高耐压系のMOSトランジスタと低オン抵抗化が図られた高耐压系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐压系のMOSトランジスタをSLED (Slit channel by counter doping with extended shallow drain) MOSトランジスタと呼称する。

【0018】

このような有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐压系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐压系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置されるように構成されている。

【0019】

以下、上記半導体装置の製造方法について説明する。

【0020】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板（P-sub）21内にP型ウエル（PW）22及びN型ウエル（NW）23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80 KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロンイオンが基板内部に拡散されてP型層が形成される。

【0021】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS

膜をマスクに基板表面にリンイオンをおよそ 80 KeV の加速電圧で、 $9 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記 LOCOS 膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P 型ウエル及び N 型ウエルを形成することで、図 1 に示すように前記基板 21 内に形成される P 型ウエル 22 は段差低部に配置され、N 型ウエル 23 は段差高部に配置される。

【0022】

そして、図 2 において、各 MOS トランジスタ毎に素子分離するため、およそ 500 nm 程度の素子分離膜 24 を LOCOS 法により形成し、この素子分離膜 24 以外の活性領域上におよそ 80 nm 程度の高耐圧用の厚いゲート酸化膜 25 を熱酸化により形成する。

【0023】

続いて、レジスト膜をマスクにして第 1 の低濃度の N 型及び P 型のソース・ドレイン層（以下、LN 層 26、LP 層 27 と称す。）を形成する。即ち、先ず、不図示のレジスト膜で LN 層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 120 KeV の加速電圧で、 $8 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して LN 層 26 を形成する。その後、レジスト膜（PR）で LP 層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ 120 KeV の加速電圧で、 $8.5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して LP 層 27 を形成する。尚、実際には後工程のアニール工程（例えば、 1100°C の N_2 雰囲気中で、2 時間）を経て、上記イオン注入された各イオン種が熱拡散されて LN 層 26 及び LP 層 27 となる。

【0024】

続いて、図 3 において、P チャネル型及び N チャネル型 SLED MOS トランジスタ形成領域の形成された前記 LN 層 26 間及び LP 層 27 間にレジスト膜をマスクにしてそれぞれ第 2 の低濃度の N 型及び P 型のソース・ドレイン層（以下、SLN 層 28 及び SLP 層 29 と称す。）を形成する。即ち、先ず、不図示のレジスト膜で SLN 層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 120 KeV の加速電圧で、 $1.5 \times 10^{12}/\text{cm}^2$ の注

入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜(PR)でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオン($^{49}\text{BF}_2^+$)をおよそ140KeVの加速電圧で、 $2.5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0025】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層(以下、N+層30、P+層31と称す。)を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80KeVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜(PR)でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0026】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径(図3参照)よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120KeVの加速電圧で、 $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜(PR)でN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190KeVの加速電圧で、 $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してN型ボディ層33を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なもの

であり、前記P型ボディ層32及びN型ボディ層33の表層部にチャンネルが構成される。

【0027】

更に、図6において、前記通常耐圧用の微細化Nチャンネル型及びPチャンネル型MOSトランジスタ形成領域の基板（P型ウエル22）内に第2のP型ウエル（SPW）34及び第2のN型ウエル（SNW）35を形成する。

【0028】

即ち、前記通常耐圧のNチャンネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル34を形成する。また、前記通常耐圧用のPチャンネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル35を形成する。尚、380KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【0029】

次に、通常耐圧用のNチャンネル型及びPチャンネル型MOSトランジスタ形成領域上とレベルシフト用のNチャンネル型MOSトランジスタ形成領域上の前記ゲート酸化膜25を除去した後に、図7に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0030】

即ち、先ず、全面にレベルシフト用のNチャンネル型MOSトランジスタ用におよそ14nm程度（この段階では、およそ7nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜36を熱酸化に

より形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37（およそ7 nm程度）を熱酸化により形成する。

【0031】

続いて、図8において、全面におよそ100 nm程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100 nm程度のタンゲステンシサイド膜、更にはおよそ150 nm程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターンニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記 SiO_2 膜は、パターンニング時のハードマスクとして働く。

【0032】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0033】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20 KeVの加速電圧で、 $6.2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜（PR）をマスクにして、例えばニフッ化ボロンイオンをおよそ20 KeVの加速電圧で、 $2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0034】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようにおよそ250 nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャ

ネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A、38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜（PR）で被覆された領域にはTEOS膜41がそのまま残る。

【0035】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0036】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層42を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフッ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層43を形成する。

【0037】

以下、図示した説明は省略するが、全面にTEOS膜及びBPSG膜等からなるおよそ600nm程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層30、31、42、43にコンタクト接続する金属配線層を形成することで、前記有機ELディスプレイ駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSト

レンジスタが完成する（図10参照）。

【0038】

ここで、本発明の特徴は、前記各ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gの仕上がり形状及び加工寸法の精度向上を図ることを目的とした、半導体装置とそのパターンレイアウト方法にある。

【0039】

以下、本発明のパターンレイアウト構成について簡略化した図面を用いて概略を説明する。尚、従来（図13）と同等の構成については、重複した説明を避けるため同符号を付して説明を簡略化する。

【0040】

図11（a）において、1は出力1ビット分に相当する出力領域であり、表示ディスプレイ駆動用ドライバ等の各種ドライバ用の半導体装置のパターンレイアウトは、この1ビット分の出力領域1を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0041】

2は、前記1ビット分の出力領域1内に形成されたゲート電極用配線であり、当該ゲート電極用配線2に隣接するようにソース領域S及びドレイン領域Dが形成されている（図中円内の前記出力領域1の拡大図参照）。

【0042】

そして、3は本発明の特徴である、ダミーパターンであり、当該ダミーパターン3が、前記1ビット分の出力領域1が繰り返し配置された出力ビット群の端部に隣接するように形成されている。また、当該ダミーパターン3内には前記1ビット分の出力領域1内に形成されたゲート電極用配線2と同じ形状のダミーのゲート電極用配線4が形成されている。ここで、前記ダミーのゲート電極用配線4に対応したソース領域及びドレイン領域は構成されていない。

【0043】

このように本発明では、表示ディスプレイ駆動用ドライバ等の各種ドライバのように1ビット分の出力領域1が繰り返し配置されて成る出力ビット群をパターンレイアウトする場合には、その出力ビット群の終端部に隣接するように、実際

に動作する回路のレイアウトと同等のレイアウトを有するダミーパターン 3 を形成しておくことで、例えばゲート電極用配線をパターンニングする際のゲート電極用配線 2 の粗密の差に起因するフォトリソグラフィ及びエッチング時におけるマイクロローディング効果の発生を抑止することができる。従って、ゲート電極用配線 2 の仕上がり形状及び加工寸法の均一性が向上し、出力間の差を低減することができる。

【0044】

また、図 11 (a) に示すゲート電極用配線 2 の形状は一例に過ぎず、例えば図 11 (b)、(c)、(d) に示すような各種形状のゲート電極用配線 2 B、2 C、2 D を構成するものであって構わない。S、D はソース領域及びドレイン領域を示している。

【0045】

尚、本実施形態ではゲート電極用配線 2 に対応したダミーのゲート電極用配線 4 を有したダミーパターン 3 を配置した一例を紹介したが、本発明は他の配線や素子分離用のフィールド酸化膜に対応したダミーパターンを配置するものであっても良い。

【0046】

図 12 は、本発明を表示ディスプレイ駆動用ドライバに適用した場合のパターンレイアウトを示す図である。

【0047】

ここで、上記表示ディスプレイ駆動用ドライバとしては、例えば陽極ドライバと陰極ドライバを有し、有機 EL 素子（有機エレクトロ・ルミネッセンス素子）に定電流を供給し、有機 EL 素子を発光させる有機 EL ディスプレイ駆動用ドライバ等がある。そして、このような陽極ドライバと陰極ドライバとメモリ並びにコントローラ等を 1 チップ化しようとした場合に、自ずと各ドライバ部が混載されるため、上述したようなゲート電極形成パターンの粗密の差も大きくなり、フォトリソグラフィ及びエッチング時にマイクロローディング効果が発生し易くなり、これによるゲート電極の仕上がり形状及びその加工寸法のばらつきが大きくなり、表示不具合が発生するといった問題が起こる。

【0048】

そこで、本発明では、陽極ドライバと陰極ドライバとメモリ並びにコントローラ等を1チップ化して、図12の紙面左上から、32ビットの陽極ドライバ領域10（セグメント：SEG）、128ビットの陰極ドライバ領域11（コモン：COM）、32ビットの陽極ドライバ領域12（SEG）、紙面左下から、32ビットの陽極ドライバ領域13（SEG）、10ビットのアイコン用の陽極ドライバ領域14（アイコンSEG）、10ビットのアイコン用の陽極ドライバ領域15（アイコンSEG）、32ビットの陽極ドライバ領域16（SEG）を配置している。尚、それぞれのドライバ領域は、出力1ビット分に相当する出力領域1に必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0049】

そして、32ビットの陽極ドライバ領域10（SEG）の一方の端部（パターンの終端部寄り）には2ビット分のSEGダミーパターン3A（前記出力領域1が2個分）が配置され、他方の端部（パターンの中央寄り）には1ビット分のSEGダミーパターン3Bが配置されている。また、128ビットの陰極ドライバ領域11（COM）の一方の端部（SEGダミーパターン3B寄り）には1ビット分のCOMダミーパターン3Cが前記SEGダミーパターン3Bに隣接するように配置され、他方の端部にも1ビット分のCOMダミーパターン3Dが配置されている。更に、32ビットの陽極ドライバ領域12（SEG）の一方の端部（COMダミーパターン3D寄り）には1ビット分のSEGダミーパターン3EがCOMダミーパターン3Dに隣接するように配置され、他方の端部（パターンの終端部寄り）には2ビット分のSEGダミーパターン3Fが配置されている。

【0050】

また、32ビットの陽極ドライバ領域13（SEG）の一方の端部（パターンの終端部寄り）には2ビット分のSEGダミーパターン3Gが配置され、他方の端部（パターンの中央寄り）には1ビット分のSEGダミーパターン3Hが配置されている。また、10ビットのアイコン用の陽極ドライバ領域14（アイコンSEG）の一方の端部（SEGダミーパターン3H寄り）には1ビット分のアイ

コンSEGダミーパターン3Iが前記SEGダミーパターン3Hに隣接するように配置され、他方の端部にも2ビット分のアイコンSEGダミーパターン3Jが配置されている。更に、10ビットのアイコン用の陽極ドライバ領域15（アイコンSEG）の一方の端部（パターンの中央寄り）には2ビット分のアイコンSEGダミーパターン3Kが配置され、他方の端部（32ビットの陽極ドライバ領域16（SEG）寄り）には1ビット分のアイコンSEGダミーパターン3Lが配置されている。そして、32ビットの陽極ドライバ領域16（SEG）の一方の端部（SEGダミーパターン3L寄り）には1ビット分のSEGダミーパターン3Mが配置され、他方の端部（パターンの終端部寄り）には2ビット分のSEGダミーパターン3Nが配置されている。

【0051】

また、17、18はパターン中央部に配置され、表示データ等を記憶するメモリである。

【0052】

このとき、本実施形態では、各出力ビット群毎にその端部に当該各出力ビットと同一形状のダミーパターンを形成することで加工精度を向上させることができる。

【0053】

更に、例えば陽極ドライバや陰極ドライバ等を有する表示ディスプレイ駆動用ドライバ等に本発明を適用することで、これらを1チップ化してもその加工精度ばらつきを抑止することができる。従って、1チップ化が可能になることで、それぞれを別々に有する従来品に比して、微細化並びに低コスト化が図れる。

【0054】

また、各ダミーパターンを一律に（同じ出力数で）形成するのではなく、隣り合う形で出力ビット群が存在する領域に配置するダミーパターンの出力数（例えば、本実施形態では1ビット）を、そのような隣り合う出力ビット群が存在しない領域に配置するダミーパターンの出力数（例えば、本実施形態では2ビット）よりも少なくしている。

【0055】

これにより、本発明では出力ビット群の端部に隣り合う出力ビット群が存在しない場合には、例えば2ビット分のダミーパターンを配置し、隣り合う出力ビット群が存在する場合には、その隣り合う出力ビット群毎に、例えば1ビット分のダミーパターンを配置することで（隣り合う各出力ビット群毎に形成された各ダミーパターンを併せると2ビット分となる）、パターン面積が徒に増大することなく、パターンの有効利用が図れる。尚、隣り合う出力ビット群が存在する場合においても、出力ビット群の端部に隣り合う出力ビット群が存在しない場合と同数の（例えば、2ビット分の）ダミーパターンを配置しても構わない。

【0056】

更に、前記ダミーパターンを出力ビット群の端部に形成するだけでなく、出力ビットが複数個配置される領域内において、パターンニングされない空きスペースがあれば、その領域が埋まるようにダミーパターンを形成しても良い。このように本発明では、加工パターンの粗密の関係を考慮してダミーパターンを所望の位置に所望の割合で配置させれば良い。

【0057】

尚、本実施形態では表示ディスプレイとして、有機ELディスプレイを例にして、その駆動用ドライバについて説明したが、本発明はそれに限定されるものではなく、例えばLCDディスプレイ、LEDディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイの駆動用ドライバに適用可能なものであり、繰り返し回路が挿入され、必要に応じてビット数が決められる用途であれば適用可能なものである。

【0058】

【発明の効果】

本発明によれば、出力ビット群の端部にダミーパターンを形成することで加工精度を向上させることができる。

【0059】

また、陽極ドライバや陰極ドライバ等を有する表示ディスプレイ駆動用ドライバ等に適用することで、これらを1チップ化することができ、微細化、低コスト

化が図れる。

【0 0 6 0】

更に、隣り合う形で出力ビット群が存在する領域に配置するダミーパターンの出力数を、そのような隣り合う出力ビット群が存在しない領域に配置するダミーパターンの出力数よりも少なく配置することで、パターン面積が徒に増大することがない。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 1】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

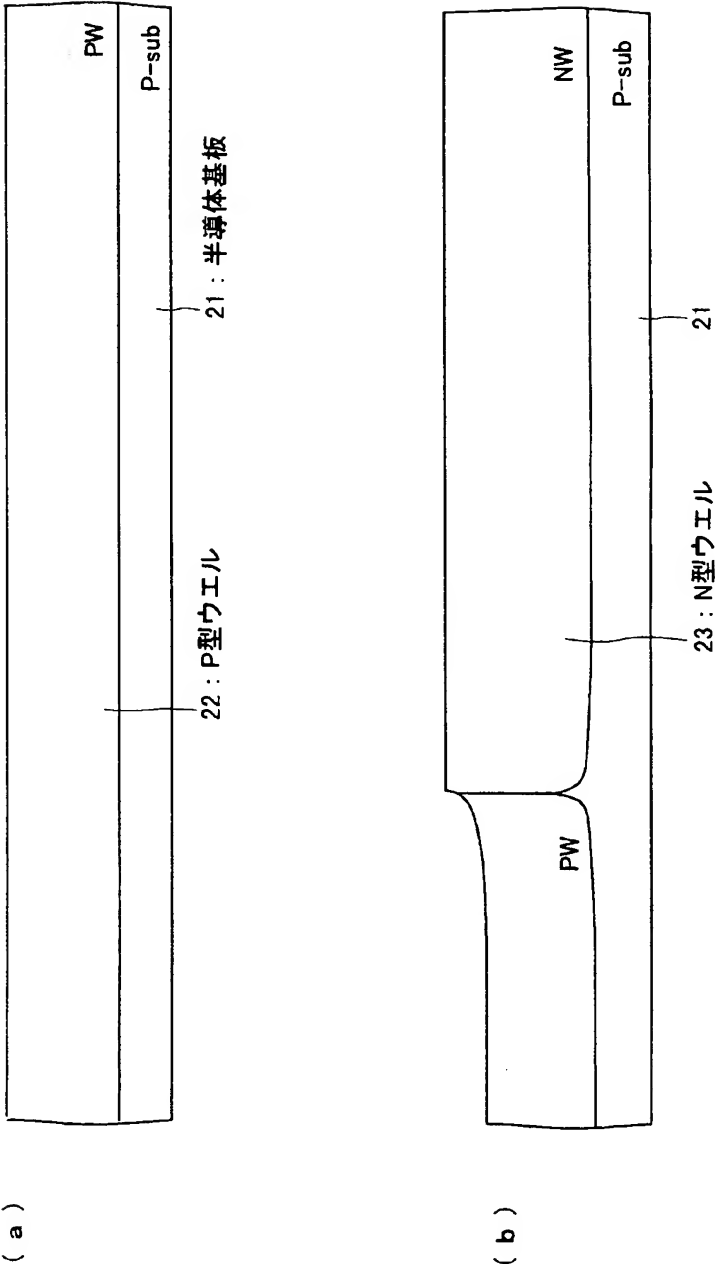
【図 1 2】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

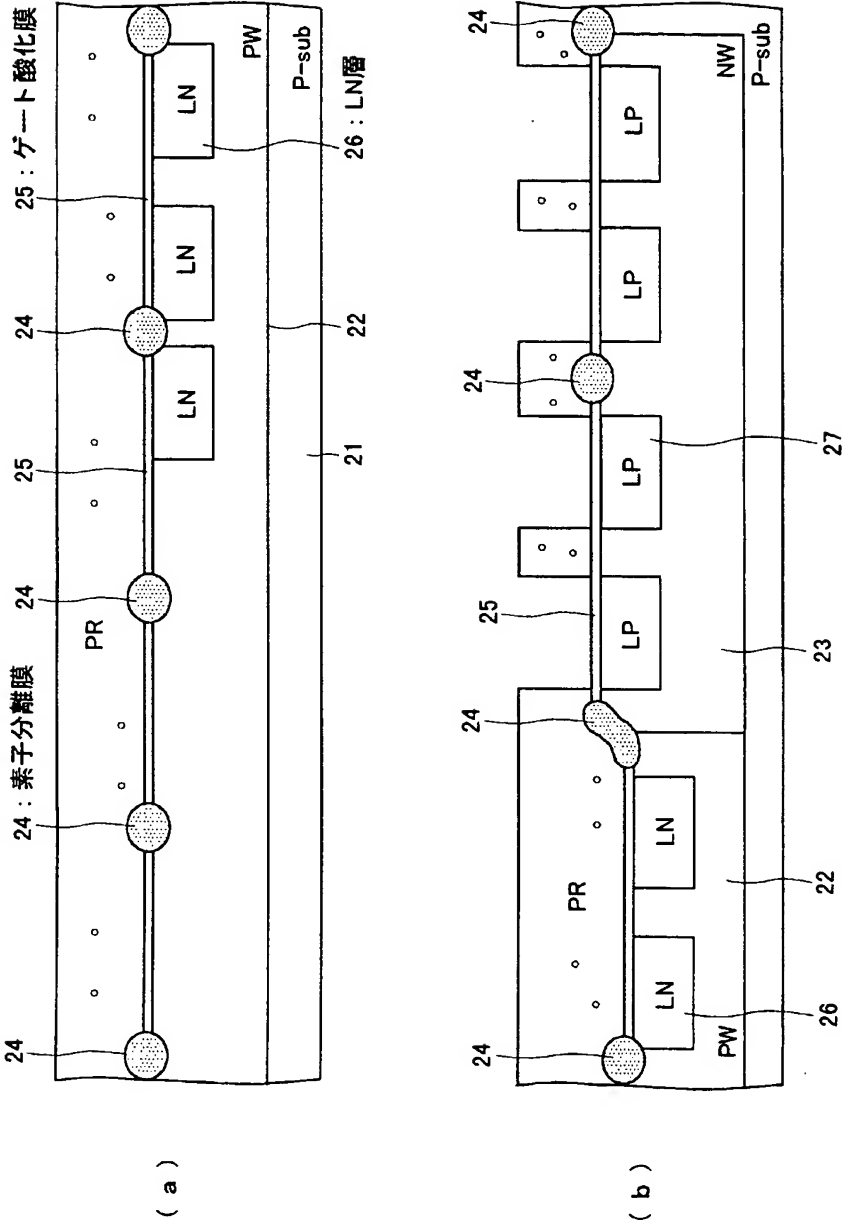
【図 1 3】

従来の半導体装置のパターンレイアウトを示す平面図である。

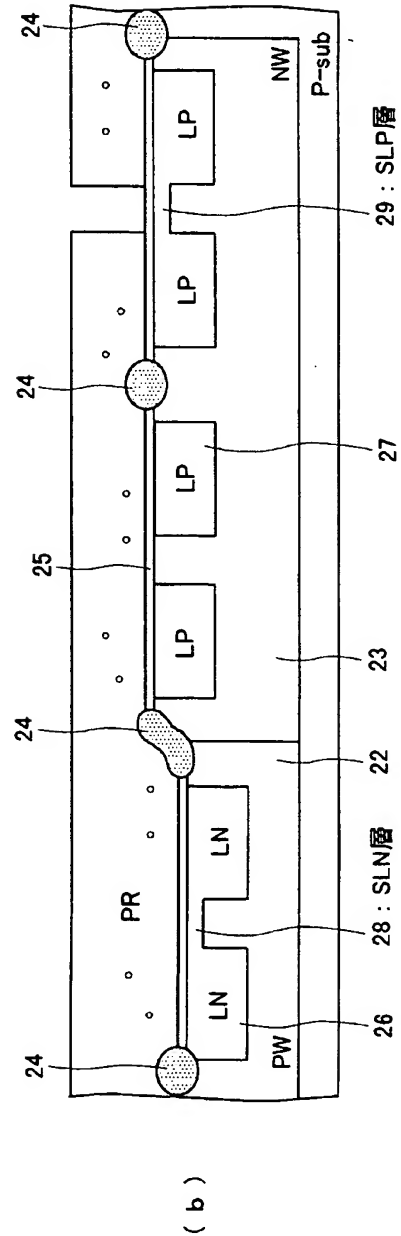
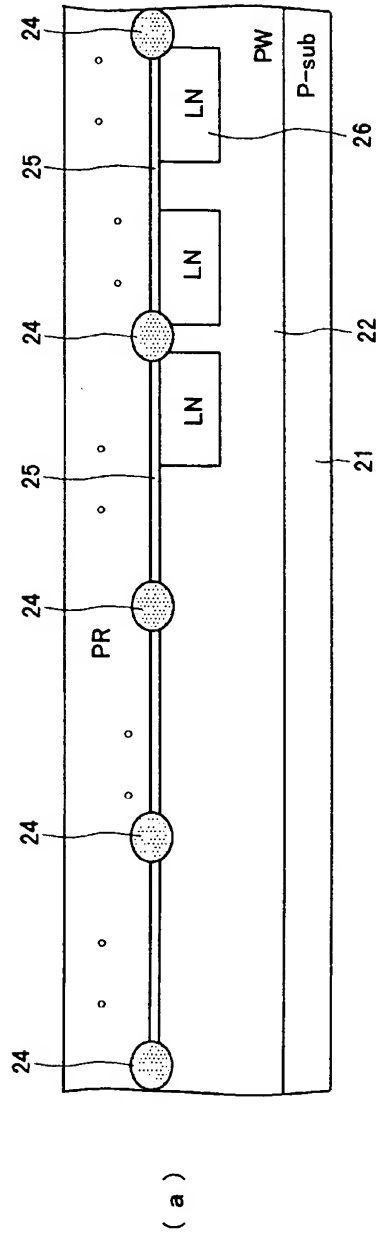
【書類名】 図面
【図 1】



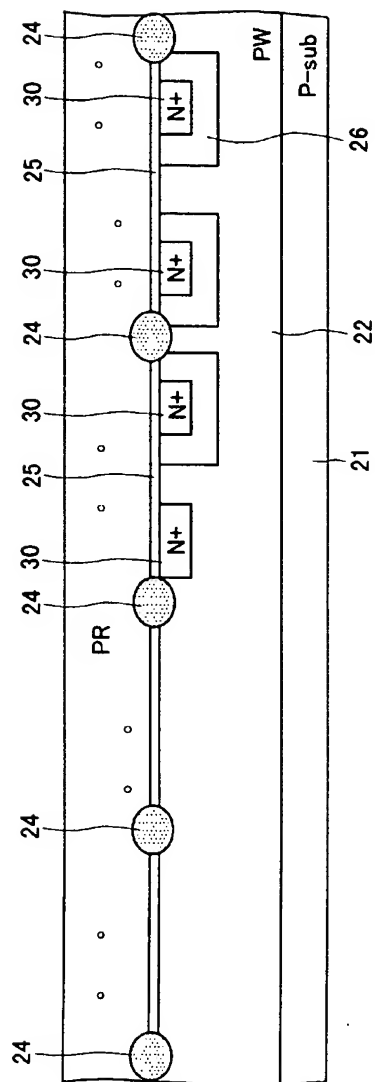
【図 2】



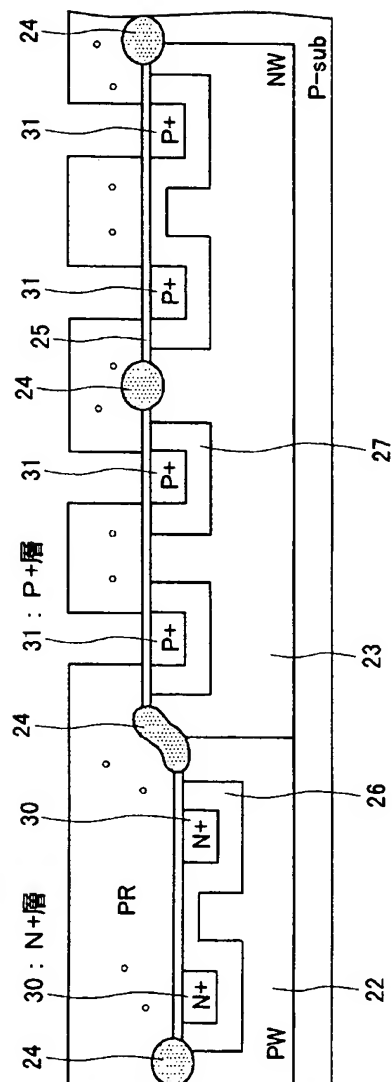
【図 3】



【図 4】

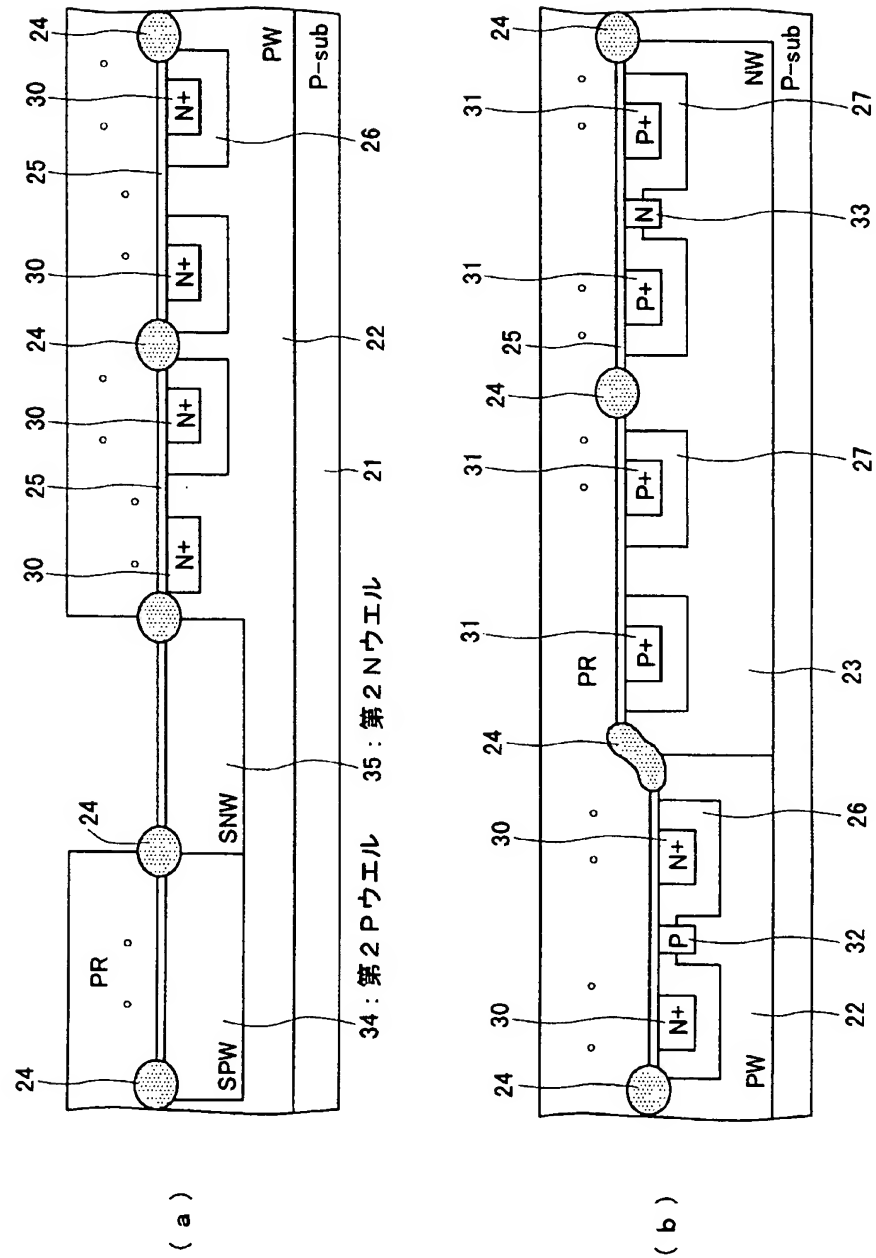


(a)

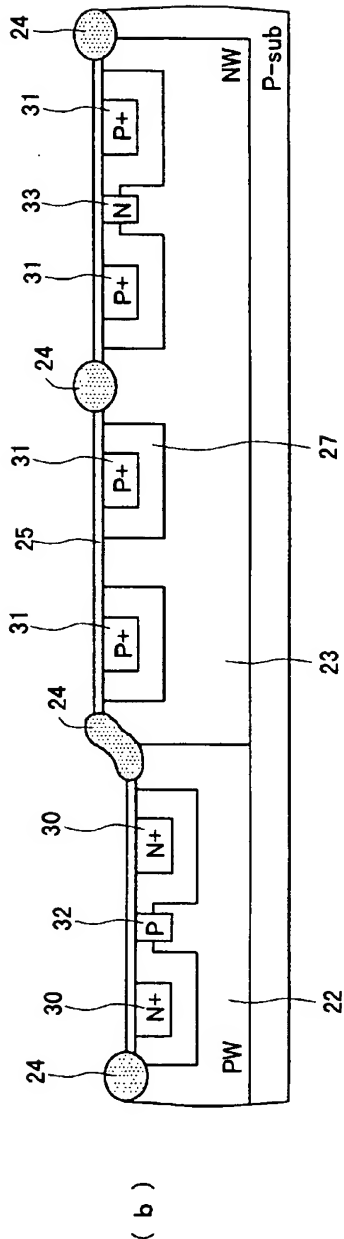
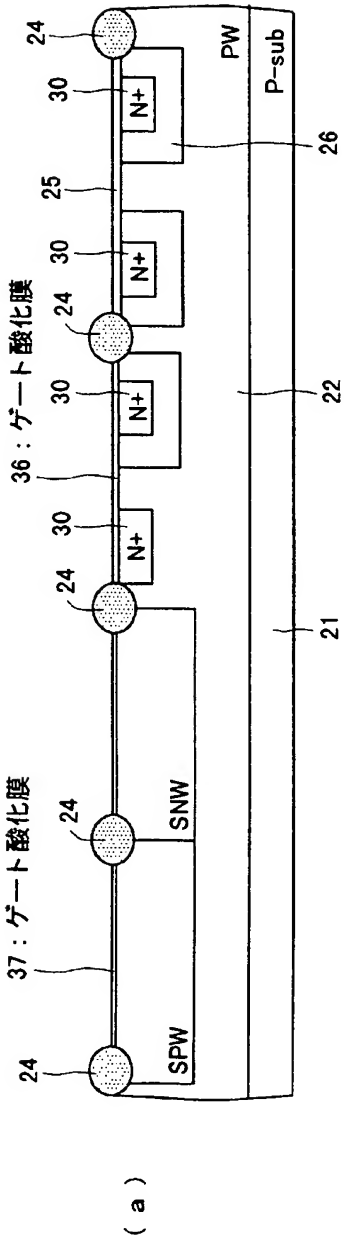


(b)

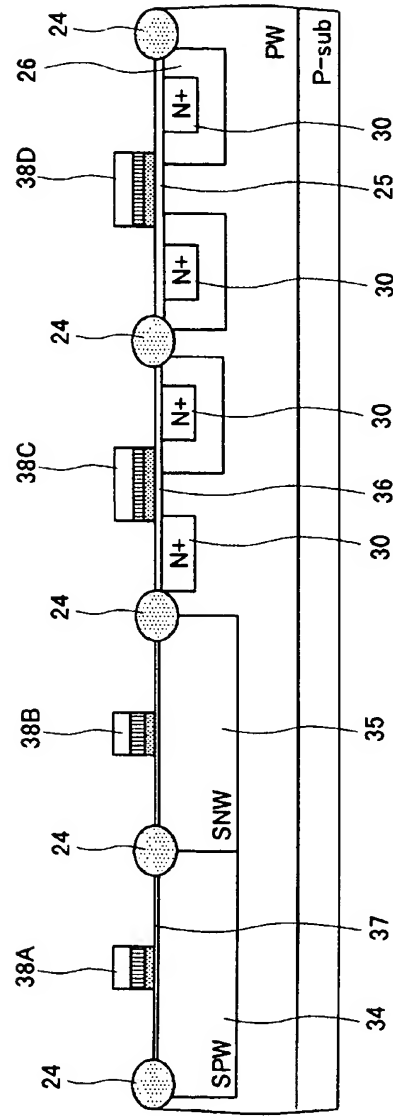
【図 6】



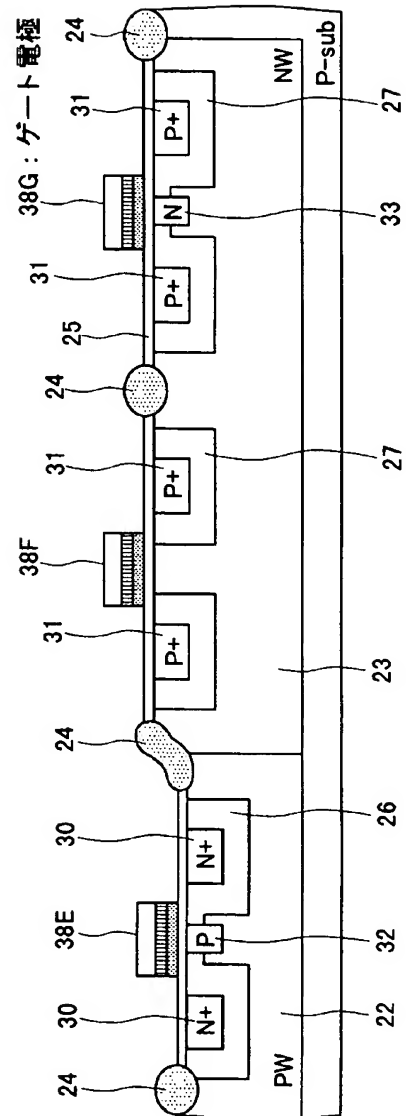
【図 7】



【図 8】

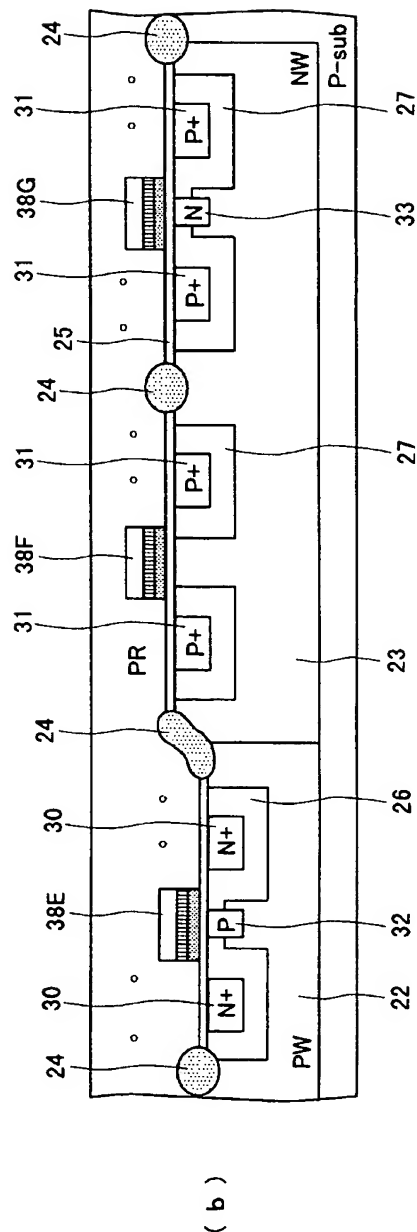
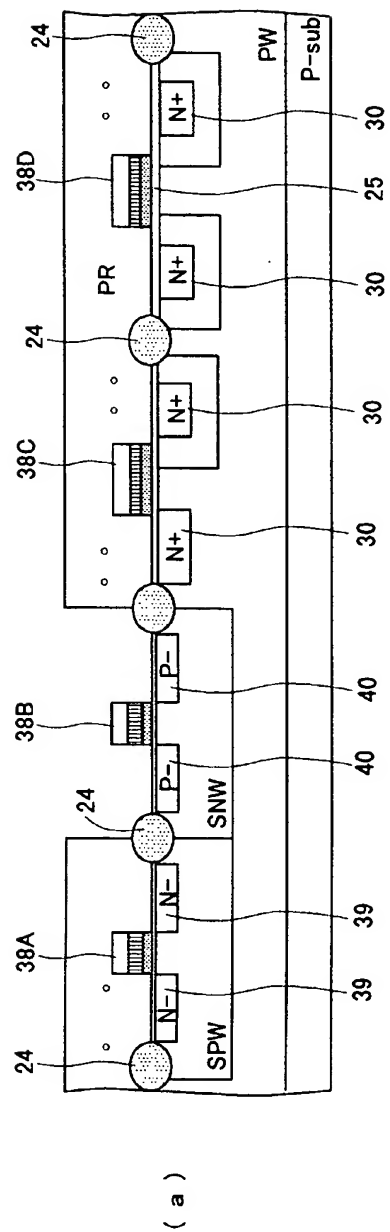


(a)

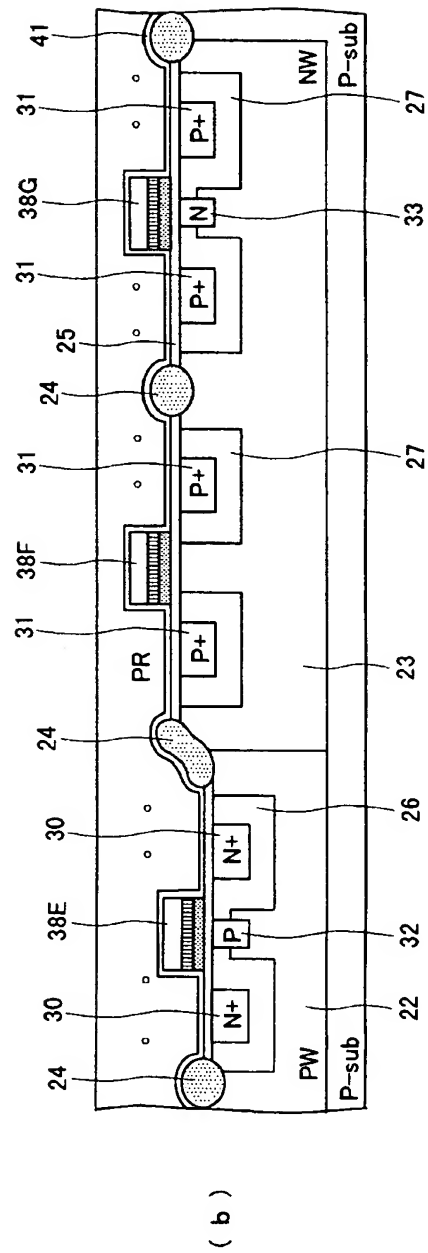
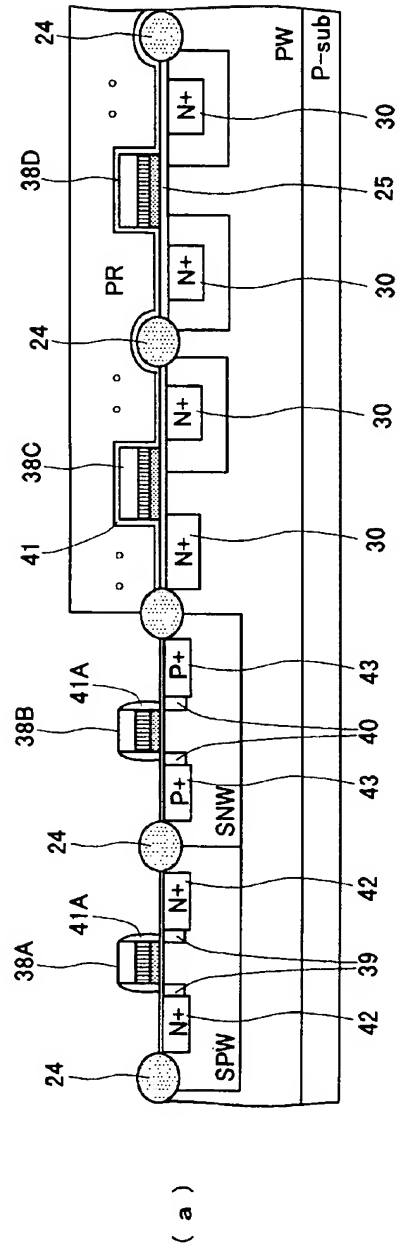


(b)

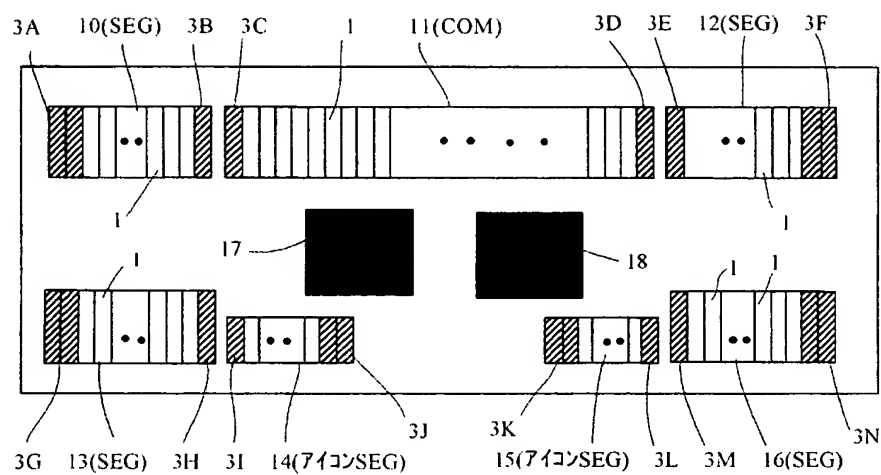
【图 9】



【図 10】

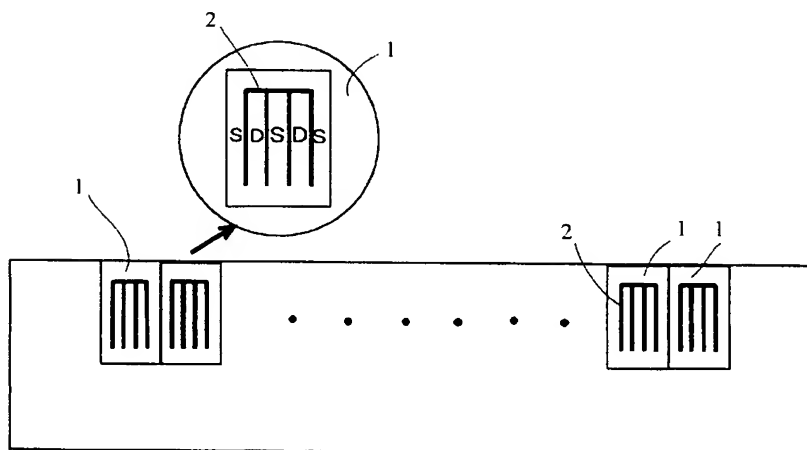


【図 12】



3A,3B,3C,3D,3E,3F,3G,3H,3I,3J,3K,3L,3M,3N:ダミーパターン

【図 13】



【書類名】 要約書

【要約】

【課題】 ドライバ駆動用の半導体装置の加工精度を向上させる。

【解決手段】 本発明の半導体装置は、ドライバ駆動用の各トランジスタを構成し、陰極ドライバ 1 1、陽極ドライバ 1 0, 1 2, 1 3, 1 6 及びアイコン用の陽極ドライバ 1 4, 1 5 を構成する各出力ビット群の端部に隣接するようにそれぞれダミーパターン 3 A, 3 B, 3 C, 3 D, 3 E, 3 F, 3 G, 3 H, 3 I, 3 J, 3 K, 3 L, 3 M, 3 N が形成されていることを特徴とする。

【選択図】 図 1 2

特願 2001-053627

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社

10417-120001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 2 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 1 - 0 5 3 6 2 8
Application Number:

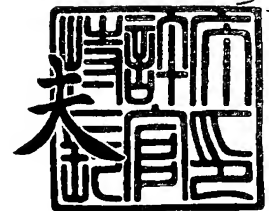
[ST. 10/C]: [J P 2 0 0 1 - 0 5 3 6 2 8]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 泰



出証番号 出証特 2 0 0 3 - 3 0 9 9 7 7 2

【書類名】 特許願

【整理番号】 KIA1010028

【提出日】 平成13年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 原口 善考

【発明者】

 【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株
 式会社内

 【氏名】 武石 直英

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

 【電話番号】 0276-30-3151

【選任した代理人】

 【識別番号】 100091605

 【弁理士】

 【氏名又は名称】 岡田 敬

【手数料の表示】

 【予納台帳番号】 077770

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのパターンレイアウト方法

【特許請求の範囲】

【請求項 1】 陽極ドライバ、陰極ドライバ、そしてメモリ部が 1 チップ化された半導体装置において、

前記メモリ部と結線される所望のドライバがチップ内に均等割り付けされ、その均等割り付けされた各ドライバの近傍位置に各メモリ部が均等配置されていることを特徴とする半導体装置。

【請求項 2】 前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部が配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置したことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 陽極ドライバ、陰極ドライバ、そしてメモリ部が 1 チップ化された半導体装置のパターンレイアウト方法において、

前記メモリ部と結線される所望のドライバをチップ内に均等割り付けし、その均等割り付けされた各ドライバの近傍位置に各メモリ部を均等配置することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 5】 前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部を配置することを特徴とする請求項 4 に記載の半導体装置のパターンレイアウト方法。

【請求項 6】 前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置することを特徴とする請求項 4 または請求項 5 に記載の半導体装置のパターンレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのパターンレイアウト方法に関し、更に言えば、例

例えば陽極ドライバと陰極ドライバ等を有し、それらを1チップ化した表示ディスプレイ駆動用ドライバ等のパターンレイアウト構造及びそのパターンレイアウト方法に関する。

【0002】

【従来の技術】

以下、上記表示ディスプレイ駆動用ドライバ等を構成する半導体装置について図面を参照しながら説明する。

【0003】

上記表示ディスプレイには、LCDディスプレイ、LEDディスプレイ、有機EL（エレクトロ・ルミネッセンス）ディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイがある。

【0004】

以下、一例として、例えば陽極ドライバと陰極ドライバを有し、有機EL素子に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動ドライバについて説明する。尚、EL素子は自発光であるため液晶表示装置に必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点を有していることから、次世代の液晶表示装置への応用が期待されている。特に、有機EL素子は高輝度が可能で、高効率、高応答特性、並びに多色化の点で無機EL素子より優れていることが知られている。

【0005】

そして、上記有機ELディスプレイ駆動用ドライバは、ロジック系のNチャンネル型MOSトランジスタ及びPチャンネル型MOSトランジスタ、高耐圧系のNチャンネル型MOSトランジスタ及びPチャンネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧系のNチャンネル型MOSトランジスタ及びPチャンネル型MOSトランジスタ、そしてレベルシフト用のNチャンネル型MOSトランジスタ等から構成される。ここで、低オン抵抗化が図られた高耐圧系のMOSトランジスタとして、例えばD（Double diffused）MOSトランジスタ等が用いられる。尚、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対

して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャンネル長として利用してなるものであり、短いチャンネルが形成されることで、低オン抵抗化に適した素子となる。

【0006】

そして、上記有機ELディスプレイ駆動用ドライバ等の各種ドライバを構成する場合における半導体装置のパターンレイアウトは、出力1ビット分のレイアウトが、必要な出力数だけ繰り返し配置されて成る構成となっている。

【0007】

【発明が解決しようとする課題】

ここで、上記有機ELディスプレイ駆動用ドライバを構成するとき、陽極ドライバ、陰極ドライバ、そしてメモリ部等はそれぞれ別々に構成されていた。そのため、それらを1つのプリント基板に搭載するものでは、コスト的にもサイズのにも満足できるものではなかった。

【0008】

そして、陽極ドライバ、陰極ドライバ、そしてメモリ部等を1チップ化することで、チップサイズの縮小化並びに低コスト化を図りたいという要望があった。

【0009】

【課題を解決するための手段】

そこで、本発明の半導体装置とそのパターンレイアウト方法は、陽極ドライバ、陰極ドライバ、そしてメモリ部が1チップ化されたものにおいて、前記メモリ部と結線される所望のドライバをチップ内に均等割り付けし、その均等割り付けされた各ドライバの近傍位置に各メモリ部を均等配置して成ることを特徴とする。

【0010】

また、前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部を配置して成ることを特徴とする。

【0011】

更に、前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置して成ることを特徴とする。

。

【0012】

【発明の実施の形態】

以下、本発明の半導体装置とそのパターンレイアウト方法に係る一実施形態について図面を参照しながら説明する。尚、本実施形態では、表示ディスプレイの一例として有機ELディスプレイを例示し、当該有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置について説明する。

【0013】

上記有機ELディスプレイ駆動用ドライバは、図10(a)の左側からロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用の（例えば、30V）Nチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Pチャネル型MOSトランジスタ、及び低オン抵抗化が図られた高耐圧系の（例えば、30V）Pチャネル型MOSトランジスタで構成される。尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED（Slit channel by counter doping with extended shallow drain）MOSトランジスタと呼称する。

【0014】

このような有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置され

るように構成されている。

【0015】

以下、上記半導体装置の製造方法について説明する。

【0016】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板(P-sub)21内にP型ウエル(PW)22及びN型ウエル(NW)23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロンイオンが基板内部に拡散されてP型層が形成される。

【0017】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段差高部に配置される。

【0018】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0019】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ド

レイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120 KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120 KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0020】

続いて、図3において、Pチャネル型及びNチャネル型SLED MOSトランジスタ形成領域の形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下、SLN層28及びSLP層29と称す。）を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120 KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜（PR）でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオン（⁴⁹B F₂⁺）をおよそ140 KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0021】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層（以下、N+層30、P+層31と称す。）を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜（P

R) でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0022】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径(図3参照)よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120 KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜(PR)でN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190 KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型ボディ層33を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層32及びN型ボディ層33の表層部にチャネルが構成される。

【0023】

更に、図6において、前記通常耐圧用の微細化Nチャネル型及びPチャネル型MOSトランジスタ形成領域の基板(P型ウエル22)内に第2のP型ウエル(SPW)34及び第2のN型ウエル(SNW)35を形成する。

【0024】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50 KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル34を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成

領域上に開口を有するレジスト膜 (PR) をマスクにして前記 P 型ウエル 22 内に例えばリンイオンをおよそ 380 KeV の加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第 2 の N 型ウエル 35 を形成する。尚、380 KeV 程度の高加速電圧発生装置が無い場合には、2 価のリンイオンをおよそ 190 KeV の加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ 140 KeV の加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【0025】

次に、通常耐圧用の N チャネル型及び P チャネル型 MOS トランジスタ形成領域上とレベルシフト用の N チャネル型 MOS トランジスタ形成領域上の前記ゲート酸化膜 25 を除去した後に、図 7 に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0026】

即ち、先ず、全面にレベルシフト用の N チャネル型 MOS トランジスタ用におよそ 14 nm 程度 (この段階では、およそ 7 nm 程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。) のゲート酸化膜 36 を熱酸化により形成する。続いて、通常耐圧用の N チャネル型及び P チャネル型 MOS トランジスタ形成領域上に形成された前記レベルシフト用の N チャネル型 MOS トランジスタのゲート酸化膜 36 を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜 37 (およそ 7 nm 程度) を熱酸化により形成する。

【0027】

続いて、図 8 において、全面におよそ 100 nm 程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ 100 nm 程度のタンゲステンシリサイド膜、更にはおよそ 150 nm 程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターンニングして各 MOS トランジスタ用のゲート電極 38A, 38B, 38C, 38D, 38E, 38F, 38G を形成する。尚、前記 SiO_2 膜は、パターンニング時のハードマスクとして働く。

【0028】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0029】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えばニフッ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0030】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようにおよそ250nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0031】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0032】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例

例えば素イオンをおよそ 100 KeV の加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度の N+ 型ソース・ドレイン層 42 を形成する。また、通常耐圧用の P チャンネル型 MOS トランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフッ化ボロンイオンをおよそ 40 KeV の加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度の P+ 型ソース・ドレイン層 43 を形成する。

【0033】

以下、図示した説明は省略するが、全面に TEOS 膜及び BPSG 膜等からなるおよそ 600 nm 程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層 30, 31, 42, 43 にコンタクト接続する金属配線層を形成することで、前記表示ディスプレイ駆動用ドライバを構成する通常耐圧用の N チャンネル型 MOS トランジスタ及び P チャンネル型 MOS トランジスタ、レベルシフト用の N チャンネル型 MOS トランジスタ、高耐圧用の N チャンネル型 MOS トランジスタ及び P チャンネル型 MOS トランジスタ、低オン抵抗化が図られた高耐圧用の N チャンネル型 SLED MOS トランジスタ及び P チャンネル型 SLED MOS トランジスタが完成する。

【0034】

ここで、本発明の特徴は、表示ディスプレイ駆動用ドライバ、例えば有機 EL 素子（有機エレクトロ・ルミネッセンス素子）に定電流を供給し、有機 EL 素子を発光させる有機 EL ディスプレイ駆動用ドライバ等において、陽極ドライバと陰極ドライバと表示データ等を記憶するメモリ部並びにコントローラ等を 1 チップ化する場合の効率の良いパターンレイアウト方法にある。

【0035】

以下、本発明のパターンレイアウト構成について簡略化した図面を用いて概略を説明する。

【0036】

図 11 (a) において、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ等を 1 チップ化して、図 11 (a) の紙面左上から、32 ビットの陽極（

セグメント: SEG) ドライバ領域 10、128ビットの陰極(コモン: COM)
) ドライバ領域 11、32ビットの陽極ドライバ領域 12、紙面左下から、32
ビットの陽極ドライバ領域 13、10ビットのアイコン用の陽極ドライバ領域 1
4、10ビットのアイコン用の陽極ドライバ領域 15、32ビットの陽極ドライ
バ領域 16を配置している。尚、それぞれのドライバ領域は、出力1ビット分に
相当する出力領域を必要な出力分だけ繰り返し配置することで、所望の出力ビッ
ト群を構成している。

【0037】

そして、チップの中央部に他のロジック (LOGIC) 部 17を介して対称な
位置(本実施形態では、左右対称であるが、チップ内の配列に併せて上下対称な
位置でも良い。)にメモリ部としてのSRAM(スタティックRAM) 18, 1
9が配置され、当該SRAM 18, 19からの出力配線 20がそれぞれ前記陽極
ドライバ領域 10, 12, 13, 16に結線されている。

【0038】

このように本発明では、SRAMと結線される陽極ドライバをチップ内の四隅
に配置させ、各陽極ドライバ領域 10, 12, 13, 16に併せてSRAMを2
分割して、チップの左端部に配置された陽極ドライバ領域 10と13のグループ
と、チップの右端部に配置された陽極ドライバ領域 12と16のグループとにそ
れぞれ対応させることで、配線 20の引き回しが容易となる。

【0039】

即ち、従来(図 12)の構成のものと上記図 11(a)の構成のものとを比較
説明すると、図 12に示すように全てのドライバに対応する出力パッド 1をチッ
プ内に一列に配置した場合には、1箇所に配置されたメモリ部 2から各出力パッ
ド 1に配線 3が引き回しされるため、配線 3の引き回しスペース(図中の円で囲
んだ領域)が必要となり、その分だけチップサイズが増大することになる。

【0040】

これに対して本発明では、図 11(a)に示すようにSRAMと結線されるド
ライバ(本実施形態では、陽極ドライバ)をチップ内の四隅に配置させ、当該各
陽極ドライバ領域 10, 12, 13, 16に併せてSRAMを2分割し、各陽極

ドライバ領域10, 12, 13, 16とSRAM18, 19とを配線20するため、引き回しスペースが少なくすむ。

【0041】

また、図11(b)に示す構成のものと、上記図11(a)の構成のものを比較説明すると、図11(b)に示す構成のものは、図11(a)の構成のものと同様にSRAMと結線されるドライバ(本実施形態では、陽極ドライバ)をチップ内の四隅に配置させているが、当該各陽極ドライバ領域10, 12, 13, 16と結線されるSRAM(18, 19)は1箇所配置させているため、配線20の引き回しスペースは、上記図12の構成のものを比して少ないが、上記図11(b)の構成のものを比して大きくなる。

【0042】

また、図11(a)の構成のものは配線長も左右対称となるため、上記図11(b)、図12の構成のものに比してインピーダンスによる影響も低減でき、表示ばらつきも抑止できる。

【0043】

以上説明したように、例えば陽極ドライバ、陰極ドライバ、そしてメモリ部やコントローラ等を有する有機ELディスプレイ駆動用ドライバ等を1チップ化する場合に、メモリ部を2分割することで、当該メモリ部と各ドライバとを結線する際の引き回し配線長が短くなるため、チップサイズの縮小化が図れ、低コスト化が可能になる。

【0044】

尚、本実施形態ではメモリ部と結線される陽極ドライバ領域10, 12, 13, 16をチップの四隅に均等配置させ、当該陽極ドライバ領域10, 12, 13, 16を2つのグループに分け、各グループに対応するようにメモリ部を2分割(SRAM18, 19)しているが、更に細分化させても良い。

【0045】

尚、本実施形態では表示ディスプレイとして、有機ELディスプレイを例にして、その駆動用ドライバについて説明したが、本発明はそれに限定されるものではなく、例えばLCDディスプレイ、LEDディスプレイ、無機ELディスプレ

イ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイの駆動用ドライバに適
用可能なものである。

【0046】

【発明の効果】

本発明によれば、陽極ドライバ、陰極ドライバ、そしてメモリ部等を有する表示ディスプレイ駆動用ドライバを1チップ化する際に、メモリ部と結線されるドライバ領域をチップ内において均等割り付けし、均等割り付けされた各ドライバ領域に対応してメモリ部を分割配置させたことで、メモリ部とドライバ間の配線引き回しが容易となり、メモリ部における配線長が短くなることでチップサイズの縮小化が図れる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 1】

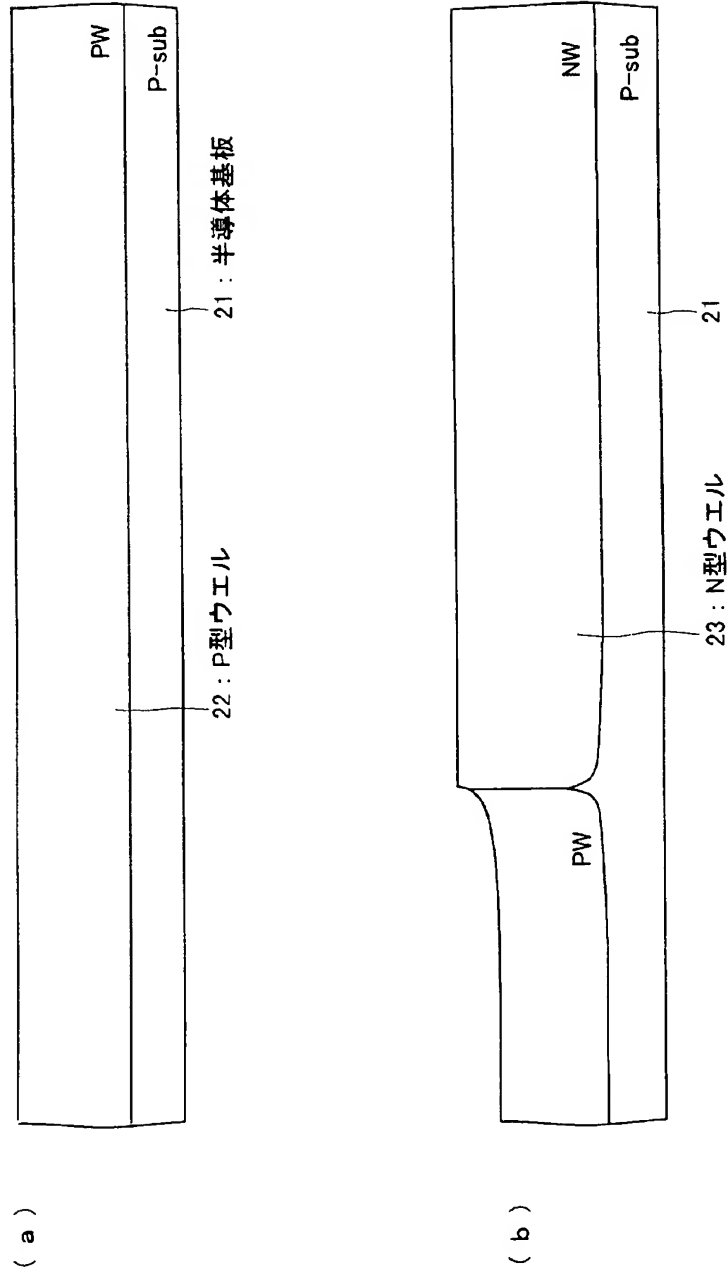
本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図 1 2】

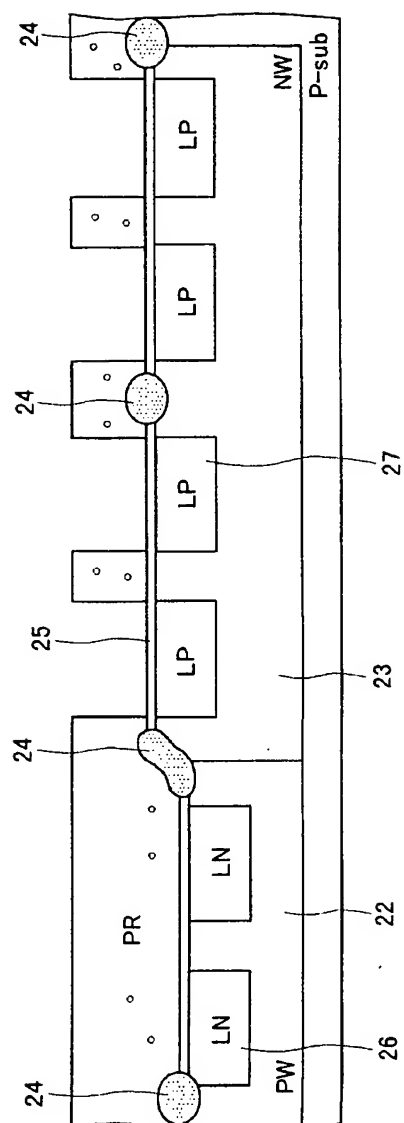
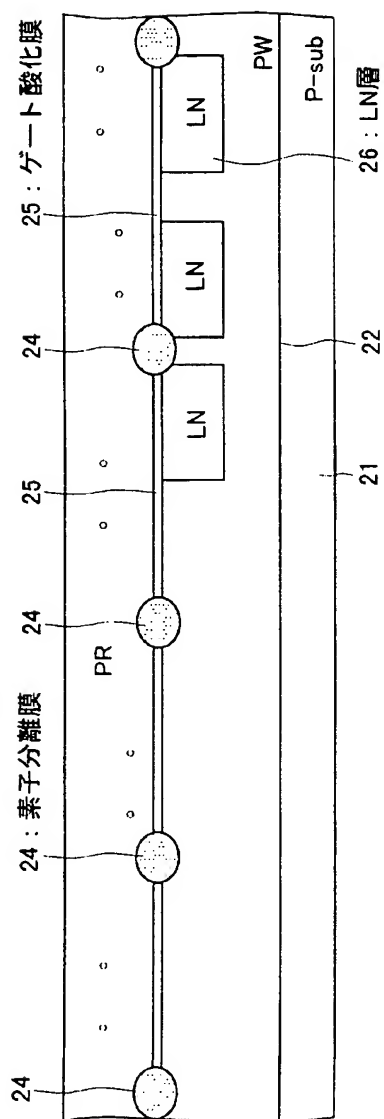
従来の半導体装置のパターンレイアウトを示す平面図である。

【書類名】 図面

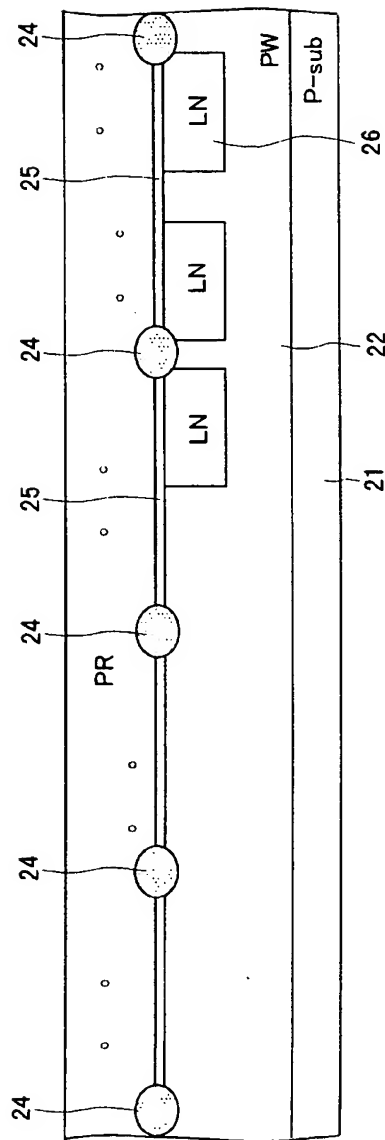
【図 1】



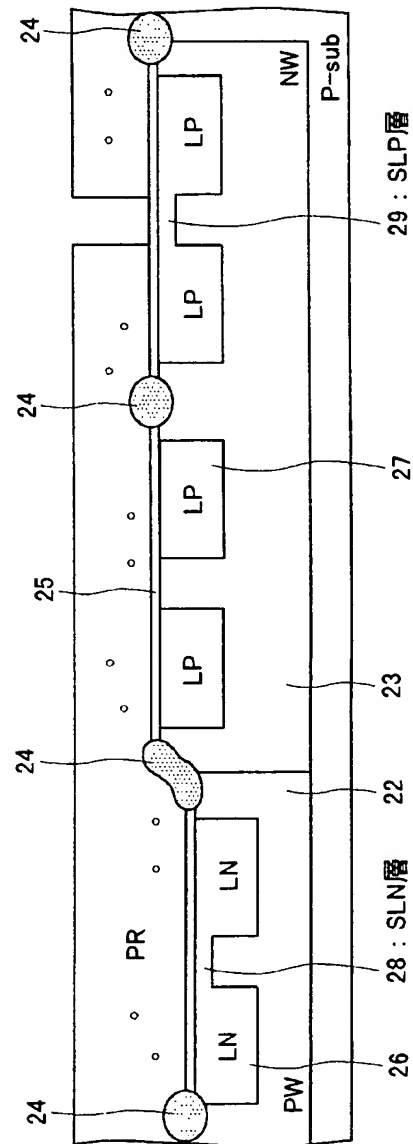
【図 2】



【図 3】

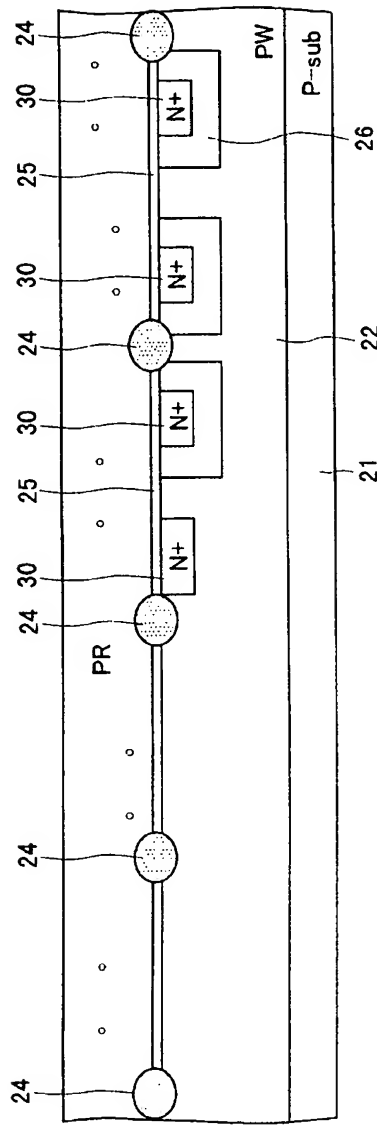


(a)

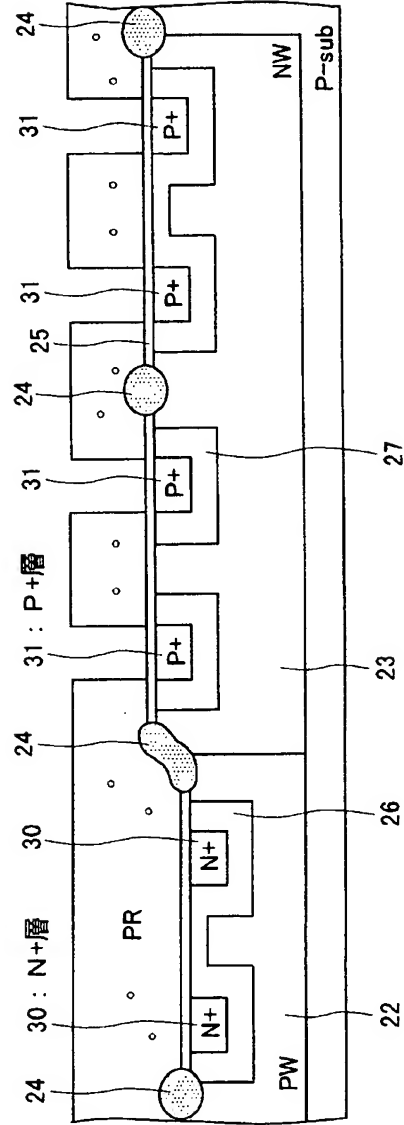


(b)

【図4】

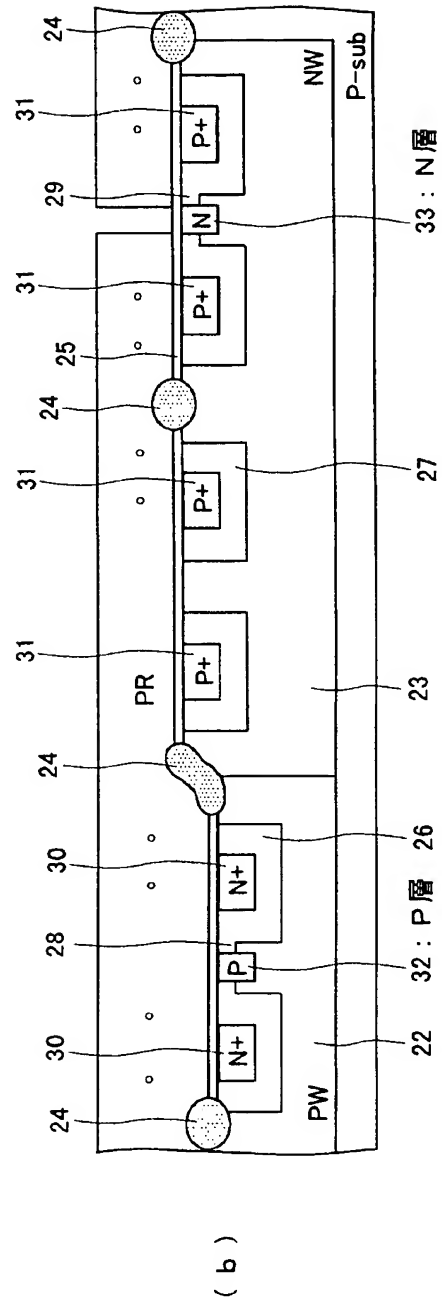
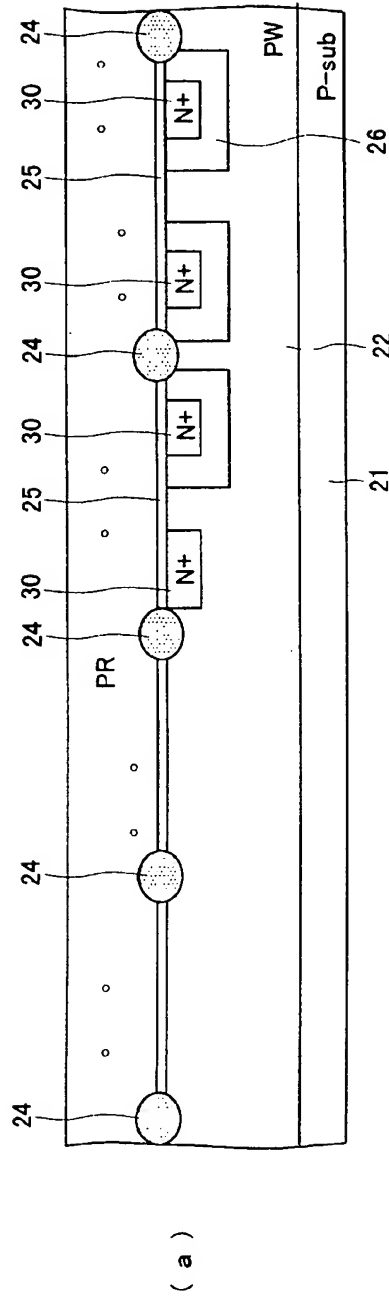


(a)

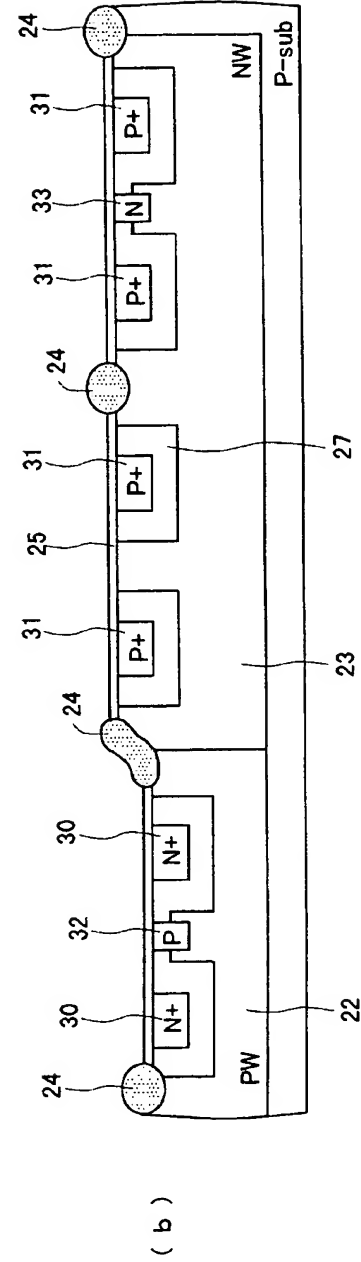
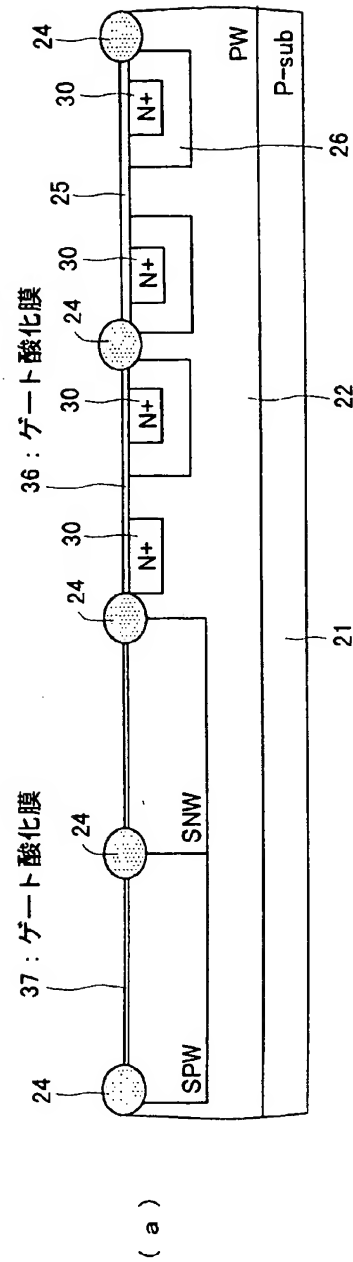


(b)

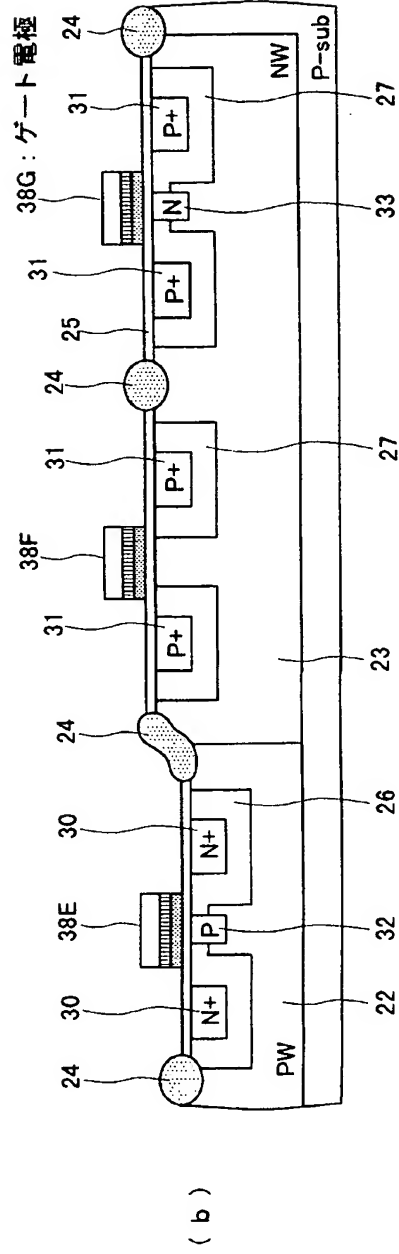
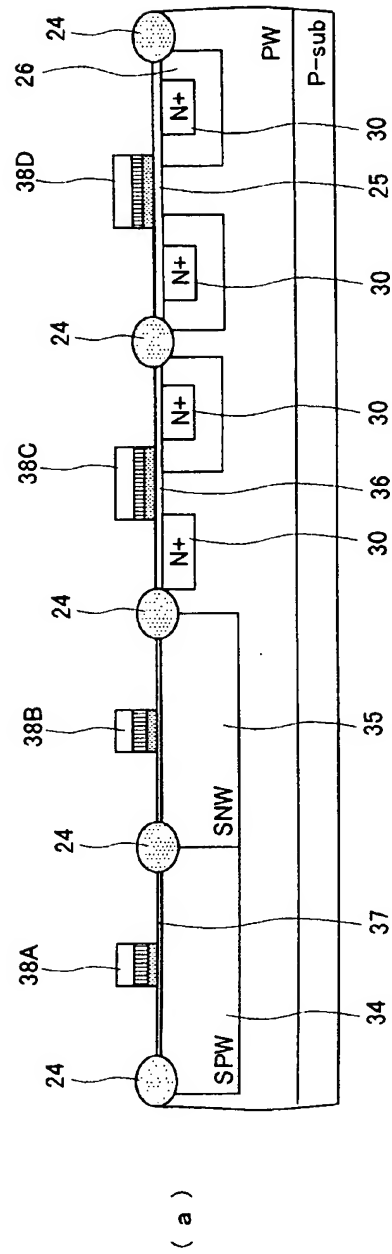
【図 5】



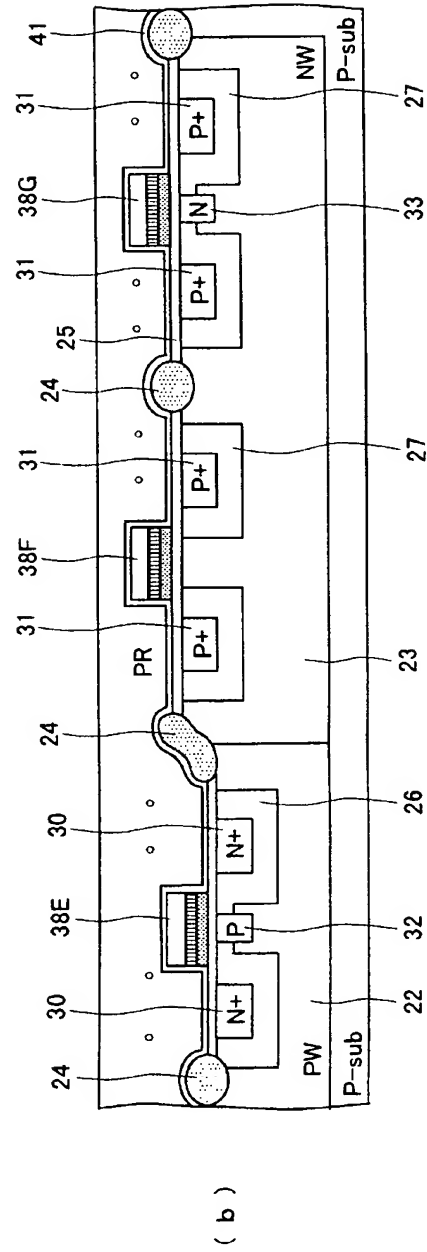
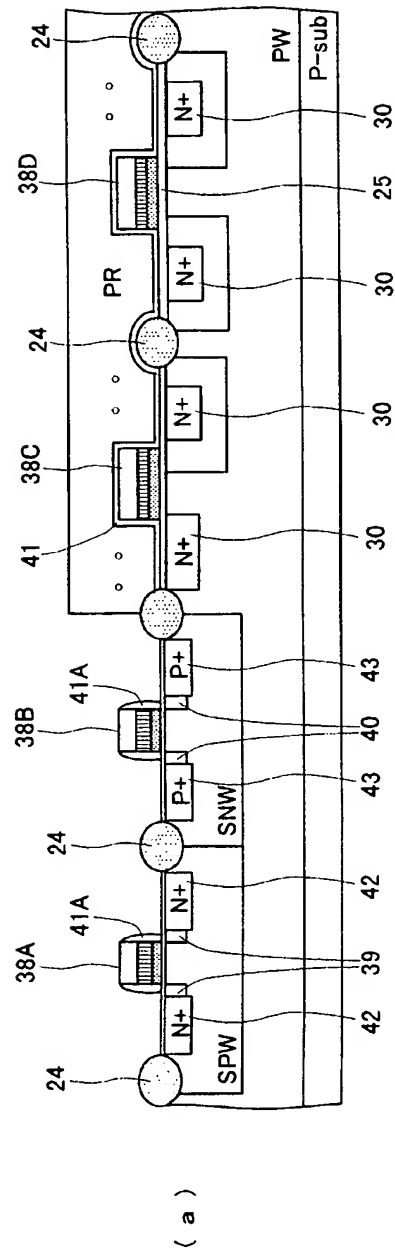
【圖 7】



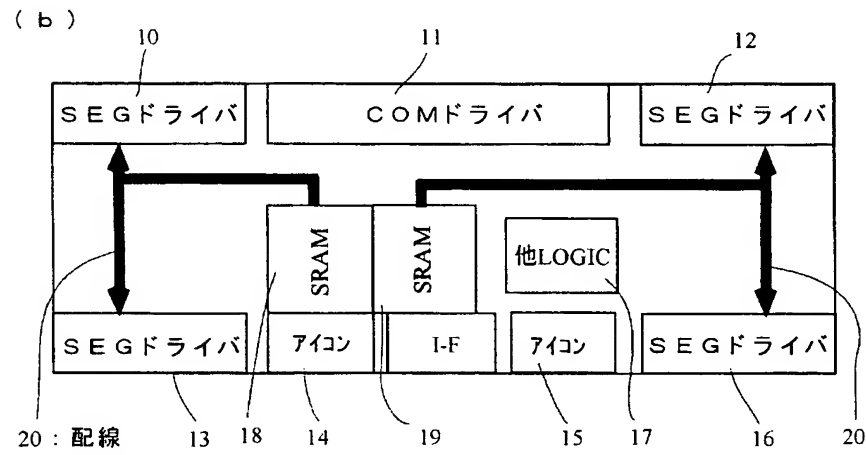
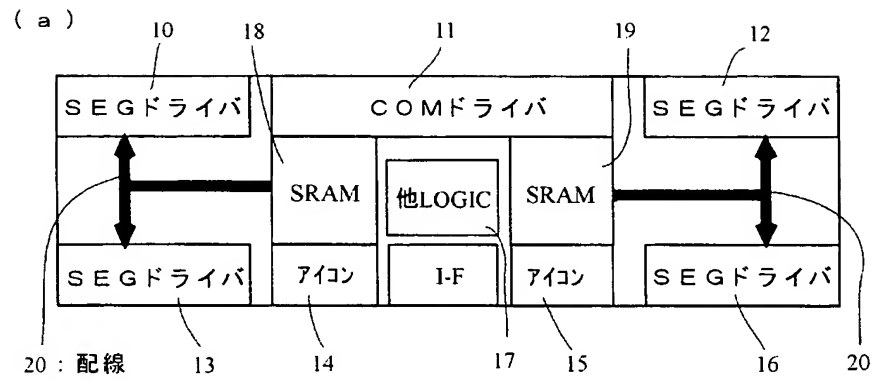
【図 8】



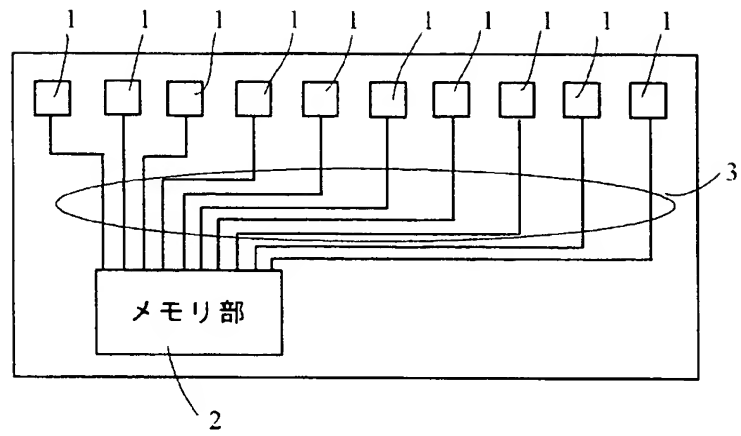
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 ドライバ駆動用の半導体装置を 1 チップ化する。

【解決手段】 本発明の半導体装置は、陰極ドライバ、陽極ドライバ、そしてメモリ部を有する表示ディスプレイ駆動用ドライバにおいて、前記メモリ部と結線される陽極ドライバ領域 1 0, 1 2, 1 3, 1 6 をチップ内に均等割り付けし、その均等割り付けされた各陽極ドライバ領域 1 0, 1 2, 1 3, 1 6 の近傍位置に S R A M 1 8, 1 9 を均等配置することで、配線引き回しが容易となり、チップサイズが縮小化される。

【選択図】 図 1 1

特願 2001-053628

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社

10417/120001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 3 月 6 日
Date of Application:

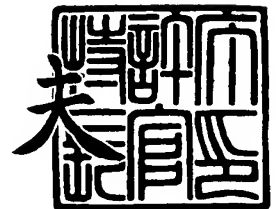
出 願 番 号 特 願 2 0 0 1 - 0 6 1 8 2 8
Application Number:
[ST. 10/C]: [J P 2 0 0 1 - 0 6 1 8 2 8]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 9 7 7 3

【書類名】 特許願

【整理番号】 KIA1010031

【提出日】 平成13年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 日野 美德

【発明者】

 【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株
 式会社内

 【氏名】 武石 直英

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

 【電話番号】 0276-30-3151

【選任した代理人】

 【識別番号】 100091605

 【弁理士】

 【氏名又は名称】 岡田 敬

【手数料の表示】

 【予納台帳番号】 077770

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのパターンレイアウト方法

【特許請求の範囲】

【請求項 1】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する 1 チップ化されたドライバ駆動用の半導体装置において、
複数の出力ビット群がチップ内の周辺部に配置されていることを特徴とする半導体装置。

【請求項 2】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する 1 チップ化されたドライバ駆動用の半導体装置において、
複数の出力ビット群がチップ内の周辺部に配置され、その周辺部に配置された各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項 3】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成するドライバとメモリ部等が 1 チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置において、

前記ドライバが所望の出力ビット群毎にグループ分けされた状態でチップ内の周辺部に配置され、その周辺部に配置された各出力ビット群内の各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項 4】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する陽極ドライバ並びに陰極ドライバとメモリ部等が 1 チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置において、

前記陽極ドライバもしくは陰極ドライバが所望の出力ビット群毎にグループ分けされた状態で各出力ビット群がチップ内の周辺部に配置され、その周辺部に配置された各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項 5】 前記配線が、電源ライン及び信号ラインであることを特徴とする請求項 2 から請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 前記各出力ビット群が、前記メモリ部を取り囲むようにその

周辺部に配置されていることを特徴とする請求項 3 または請求項 4 に記載の半導体装置。

【請求項 7】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する 1 チップ化されたドライバ駆動用の半導体装置のパターンレイアウト方法において、

複数の出力ビット群をチップ内の周辺部に配置することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 8】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する 1 チップ化されたドライバ駆動用の半導体装置のパターンレイアウト方法において、

複数の出力ビット群をチップ内の周辺部に配置し、その周辺部に配置された各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 9】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成するドライバとメモリ部等が 1 チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置のパターンレイアウト方法において、

前記ドライバを所望の出力ビット群毎にグループ分けした状態でチップ内の周辺部に配置し、その周辺部に配置した各出力ビット群内の各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 10】 1 ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する陽極ドライバ並びに陰極ドライバとメモリ部等が 1 チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置のパターンレイアウト方法において、

前記陽極ドライバもしくは陰極ドライバを所望の出力ビット群毎にグループ分けした状態で各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置した各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 11】 前記配線が、電源ライン及び信号ラインであることを特徴とす

る請求項 8 から請求項 10 のいずれかに記載の半導体装置のパターンレイアウト方法。

【請求項 12】 前記各出力ビット群を、前記メモリ部を取り囲むようにその周辺部に配置することを特徴とする請求項 9 または請求項 10 に記載の半導体装置のパターンレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのパターンレイアウト方法に関し、更に言えば、例えば陽極ドライバと陰極ドライバ等を有し、それらが 1 チップ化された表示ディスプレイ駆動用ドライバ等を構成する半導体装置とそのパターンレイアウト方法に関する。

【0002】

【従来の技術】

以下、上記表示ディスプレイ駆動用ドライバ等を構成する半導体装置について図面を参照しながら説明する。

【0003】

上記表示ディスプレイには、LCD ディスプレイ、LED ディスプレイ、有機 EL（エレクトロ・ルミネッセンス）ディスプレイ、無機 EL ディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイがある。

【0004】

以下、一例として、例えば陽極ドライバと陰極ドライバを有し、有機 EL 素子に定電流を供給し、有機 EL 素子を発光させる有機 EL ディスプレイ駆動ドライバについて説明する。尚、EL 素子は自発光であるため液晶表示装置に必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点を有していることから、次世代の液晶表示装置への応用が期待されている。特に、有機 EL 素子は高輝度が可能で、高効率、高応答特性、並びに多色化の点で無機 EL 素子より優れていることが知られている。

【0005】

そして、上記有機ELディスプレイ駆動用ドライバは、例えばロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、そしてレベルシフト用のNチャネル型MOSトランジスタ等から構成される。

【0006】

ここで、低オン抵抗化が図られた高耐圧系のMOSトランジスタとして、例えばD (Double diffused) MOSトランジスタ等が用いられる。尚、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャンネル長として利用してなるものであり、短いチャンネルが形成されることで、低オン抵抗化に適した素子となる。

【0007】

また、上記有機ELディスプレイ駆動用ドライバ等の各種ドライバを構成する場合における半導体装置のパターンレイアウトは、出力1ビット分のレイアウトが、必要な出力数だけ繰り返し配置されて成る構成となっている。

【0008】**【発明が解決しようとする課題】**

ここで、上記有機ELディスプレイ駆動用ドライバを構成するとき、陽極ドライバ、陰極ドライバ、そしてメモリ部等はそれぞれ別々に構成されていた。そのため、それらを1つのプリント基板に搭載するものでは、コスト的にもサイズのにも満足できるものではなかった。

【0009】

そして、陽極ドライバ、陰極ドライバ、そしてメモリ部等を1チップ化することで、チップサイズの縮小化並びに低コスト化を図りたいという要望があった。

【0010】

また、単に各種ドライバをその必要な出力数だけ繰り返し配置させて成る構成

では、配線の引き回し等のスペースが必要となりチップサイズの増大化を招くだけであった。

【0011】

即ち、図14（a）は表示ディスプレイ駆動用を構成する半導体装置のパターンレイアウトを示す平面図であり、上述したように出力1ビット分のレイアウトが必要な出力数だけ繰り返し配置されている。

【0012】

ここで、図14（a）における1は1ビット分に相当する出力領域であり、当該1ビット分の出力領域1が複数個配列されて所望の出力数を有するドライバ部が構成されている。尚、2は前記出力領域1内に形成されたゲート電極用配線であり、当該ゲート電極用配線2に隣接するようにソース領域（S）及びドレイン領域（D）が形成されている（図中円内の拡大図参照）。

【0013】

尚、図14（a）に示すゲート電極用配線2の形状は一例に過ぎず、例えば、図14（b）、（c）、（d）に示すような各種形状のゲート電極用配線2B、2C、2Dを構成するものであって構わない。このように出力1ビット分のレイアウトを必要な出力数だけ繰り返し配置する上記構成では、1チップ化する際の更なる多ビット化への要望に対し、配線の引き回しの不便さ、並びその引き回しスペースの確保等の問題から対応し切れなくなってきた。

【0014】

【課題を解決するための手段】

そこで、本発明の半導体装置とそのパターンレイアウト方法は、1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用のものにおいて、複数の出力ビット群をチップ内の周辺部に配置したことを特徴とする。

【0015】

また、前記周辺部に配置された各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする。

【0016】

更に、本発明の半導体装置とそのパターンレイアウト方法は、ドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバに適用され、前記ドライバを所望の出力ビット群毎にグループ分けした状態でチップ内の周辺部に配置し、その周辺部に配置した各出力ビット群内の各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする。

【0017】

また、前記ドライバが陽極ドライバ並びに陰極ドライバで、当該陽極ドライバもしくは陰極ドライバを所望の出力ビット群毎にグループ分けした状態で各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置した各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする。

【0018】

更に、前記配線が、電源ライン及び信号ラインであることを特徴とする。更にまた、前記各出力ビット群を、前記メモリ部を取り囲むようにその周辺部に配置したことを特徴とする。

【0019】

【発明の実施の形態】

以下、本発明の半導体装置とそのパターンレイアウト方法に係る一実施形態について図面を参照しながら説明する。尚、本実施形態では、表示ディスプレイの一例として有機ELディスプレイを例示し、当該有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置について説明する。

【0020】

上記有機ELディスプレイ駆動用ドライバは、図10(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Pチャネル型M

OSトランジスタ、及び低オン抵抗化が図られた高耐圧系の（例えば、30V）Pチャネル型MOSトランジスタで構成される。

【0021】

尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED (Slit channel by counter doping with extended shallow drain) MOSトランジスタと呼称する。

【0022】

このような有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置されるように構成されている。

【0023】

以下、上記半導体装置の製造方法について説明する。

【0024】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板（P-sub）21内にP型ウエル（PW）22及びN型ウエル（NW）23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロ

ンイオンが基板内部に拡散されてP型層が形成される。

【0025】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段差高部に配置される。

【0026】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0027】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ドレイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $8 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120KeVの加速電圧で、 $8.5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0028】

続いて、図3において、Pチャネル型及びNチャネル型SLED MOSトランジスタ形成領域の形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下

、SLN層28及びSLP層29と称す。)を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120 KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜(PR)でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオン($^{49}\text{BF}_2^+$)をおよそ140 KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0029】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層(以下、N+層30、P+層31と称す。)を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜(PR)でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0030】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径(図3参照)よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120 KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜(PR)でN型層形成領域上以外の領域を被覆した状

態で基板表層に、例えばリンイオンをおよそ 190 KeV の加速電圧で、 $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してN型ボディ層 33 を形成する。尚、上記図 3 ～図 5 に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層 32 及びN型ボディ層 33 の表層部にチャンネルが構成される。

【0031】

更に、図 6 において、前記通常耐圧用の微細化Nチャンネル型及びPチャンネル型MOSトランジスタ形成領域の基板（P型ウエル 22）内に第2のP型ウエル（SPW）34 及び第2のN型ウエル（SNW）35 を形成する。

【0032】

即ち、前記通常耐圧のNチャンネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル 22 内に、例えばボロンイオンをおよそ 190 KeV の加速電圧で、 $1.5 \times 10^{13}/\text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ 50 KeV の加速電圧で、 $2.6 \times 10^{12}/\text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル 34 を形成する。また、前記通常耐圧用のPチャンネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル 22 内に例えばリンイオンをおよそ 380 KeV の加速電圧で、 $1.5 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル 35 を形成する。尚、 380 KeV 程度の高加速電圧発生装置が無い場合には、2 価のリンイオンをおよそ 190 KeV の加速電圧で、 $1.5 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ 140 KeV の加速電圧で、 $4.0 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入する。

【0033】

次に、通常耐圧用のNチャンネル型及びPチャンネル型MOSトランジスタ形成領域上とレベルシフト用のNチャンネル型MOSトランジスタ形成領域上の前記ゲート酸化膜 25 を除去した後に、図 7 に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0034】

即ち、先ず、全面にレベルシフト用のNチャネル型MOSトランジスタ用におよそ14nm程度（この段階では、およそ7nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜36を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37（およそ7nm程度）を熱酸化により形成する。

【0035】

続いて、図8において、全面におよそ100nm程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100nm程度のタングステンシリサイド膜、更にはおよそ150nm程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターンニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記 SiO_2 膜は、パターンニング時のハードマスクとして働く。

【0036】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0037】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜（PR）をマスクにして、例えばニフッ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0038】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようによそ250nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0039】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0040】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層42を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフッ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層43を形成する。

【0041】

以下、図示した説明は省略するが、全面にTEOS膜及びBPSSG膜等からなるおよそ600nm程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層30, 31, 42, 43にコンタクト接続する金属配線層を形成することで、前記有機ELディスプレイ駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフ

タ用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタが完成する（図10参照）。

【0042】

ここで、本発明の特徴は、表示ディスプレイ駆動用ドライバ、例えば有機EL素子（有機エレクトロ・ルミネッセンス素子）に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動用ドライバ等において、陽極ドライバと陰極ドライバと表示データ等を記憶するメモリ部並びにコントローラ等を1チップ化する場合の効率の良いパターンレイアウト方法にある。

【0043】

以下、本発明のパターンレイアウト構成について図面を参照しながら説明する。尚、従来（図14）と同等の構成については、重複した説明を避けるため同符号を付して説明を簡略化する。

【0044】

図11において、1は出力1ビット分に相当する出力領域であり、有機ELディスプレイ駆動用ドライバ等の各種駆動用ドライバを構成する半導体装置のパターンレイアウトは、この1ビット分の出力領域1を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0045】

そして、前記1ビット分の出力領域1内には、図14と同様にゲート電極用配線が形成されている。

【0046】

ここで、本発明の特徴は、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ（図示省略）等を1チップ化して、図11の紙面左上から、32ビットの陽極ドライバ領域10（セグメント：SEG）、128ビットの陰極ドライバ領域11（コモン：COM）、32ビットの陽極ドライバ領域12（SEG）、紙面左下から、32ビットの陽極ドライバ領域13（SEG）、10ビットのアイコン用の陽極ドライバ領域14（アイコンSEG）、10ビットのアイコン用

の陽極ドライバ領域 15（アイコン SEG）、32ビットの陽極ドライバ領域 16（SEG）を配置している。尚、それぞれのドライバ領域は、出力 1ビット分に相当する出力領域 1を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0047】

このように本発明では、各ドライバ領域（陽極ドライバ領域 10、陰極ドライバ領域 11、陽極ドライバ領域 12、陽極ドライバ領域 13、アイコン用の陽極ドライバ領域 14、アイコン用の陽極ドライバ領域 15、そして陽極ドライバ領域 16）をチップ内の周辺部に均等配置させ、そのチップの略中央部に表示データ等を記憶するメモリ部 17、18及びコントローラ等が配置されている。また、各ドライバ領域に沿って電源ライン及び信号ライン等の配線 19が引き回し配線され、当該配線 19が各 1ビット分の出力領域 1毎に結線されている。

【0048】

以上説明したように本発明では、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ等を 1チップ化する際に、電源ライン及び信号ライン等の配線 19をチップ形状に合わせて周回させることで、例えば 4方向全てにドライバ出力を配置できる。

【0049】

また、メモリ部並びにコントローラ等は、チップ中央部に配置することで、配線効率が良くなり、チップサイズの縮小化が図れる。即ち、図 12に示すようにチップ中央部の対称な位置（本実施形態では、左右対称であるが、チップ内の配列に併せて上下対称な位置でも良い。）に SRAM（スタティック RAM）から成るメモリ部 17、18が配置され、当該メモリ部 17、18からの出力配線 20がそれぞれ前記陽極ドライバ領域 10、12、13、16に結線されている。

【0050】

このように本発明では、メモリ部 17、18と結線されるドライバ（本実施形態では、陽極ドライバ）をチップ内の周辺部 4方向に配置させ、各陽極ドライバ領域 10、12、13、16に併せてメモリ部を 2分割して、チップの左端部に配置された陽極ドライバ領域 10と 13のグループと、チップの右端部に配置さ

れた陽極ドライバ領域 12 と 16 のグループとにそれぞれ対応させることで、配線 20 の引き回しが容易となり、その引き回しスペースの縮小により、その分だけチップサイズの微細化が図れる。

【0051】

以下、チップ内に配置される各ドライバ領域の他のレイアウト方法について図 13 を参照しながら説明する。尚、図 13 (a) は、前記図 12 に示したパターンレイアウトを模式的に図示したもので、この図 13 (a) の配置例を種々変更したものが、後述する図 13 (b)、(c)、(d) の配置例である。また、便宜上、メモリ部は省略してある。

【0052】

先ず、図 13 (b) に示す配置例は、図 13 (a) において陽極ドライバ領域 10 と 12 のそれぞれに紙面に対して上下位置に向かい合っていた陽極ドライバ領域 13 と 16 を、前記陽極ドライバ領域 10 と 12 にそれぞれ 90 度隣り合うように配置し、かつ陽極ドライバ領域 13 と 16 にそれぞれ隣り合うようにアイコン用の陽極ドライバ領域 14、15 を配置したものである。これにより、チップの紙面に対して下側の比較的広い領域が空くことになり、他のロジック部やコントローラ等を配置する場合の自由度が増す。

【0053】

また、図 13 (c) に示す配置例は、図 13 (a) においてアイコン用の陽極ドライバ領域 14、15 並びに陽極ドライバ領域 13 と 16 をそれぞれ近接配置し、かつ陽極ドライバ領域 10 と 12 を陽極ドライバ領域 13 と 16 にそれぞれ 90 度隣り合うように配置したものである。これにより、図 13 (a)、(b) のものに比してチップサイズを微細化できる。

【0054】

また、図 13 (d) に示す配置例は、微細化という点では図 13 (c) に示す配置例に劣るが、図 13 (a)、(b) に示すチップサイズと同等サイズで、更なる多ビット化が図れる。尚、8、9、11A は、それぞれ上記図 13 (a)、(b)、(c) における陽極ドライバ領域並びに陰極ドライバ領域よりも多ビット化された陽極ドライバ領域並びに陰極ドライバ領域である。

【0055】

尚、本実施形態では表示ディスプレイとして、有機ELディスプレイを例にして、その駆動用ドライバについて説明したが、本発明はそれに限定されるものではなく、例えばLCDディスプレイ、LEDディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイの駆動用ドライバに適用可能なものであり、繰り返し回路が挿入され、必要に応じてビット数が決められる用途であれば適用可能なものである。

【0056】

【発明の効果】

本発明によれば、ドライバ領域をチップ内の周辺部に均等配置させ、各ドライバ領域に沿って電源ライン及び信号ライン等の配線を引き回し配線したことで、配線の引き回しスペースが縮小化される。また、メモリ部等は、チップ中央部に配置することで、配線効率が良くなり、チップサイズの縮小化が図れる。

【0057】

更に、陽極ドライバや陰極ドライバ等を有する表示ディスプレイ駆動用ドライバ等に適用することで、これらを1チップ化することができ、微細化、低コスト化が図れる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 1】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図 1 2】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図 1 3】

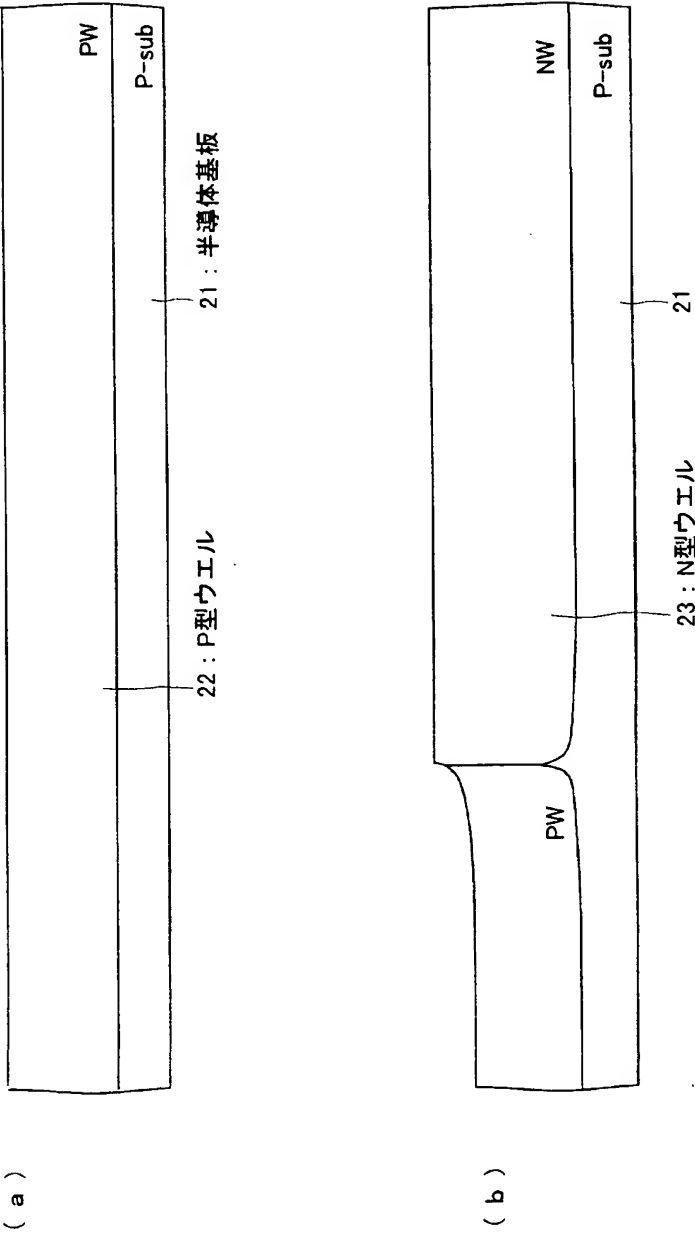
本発明の他の実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図 1 4】

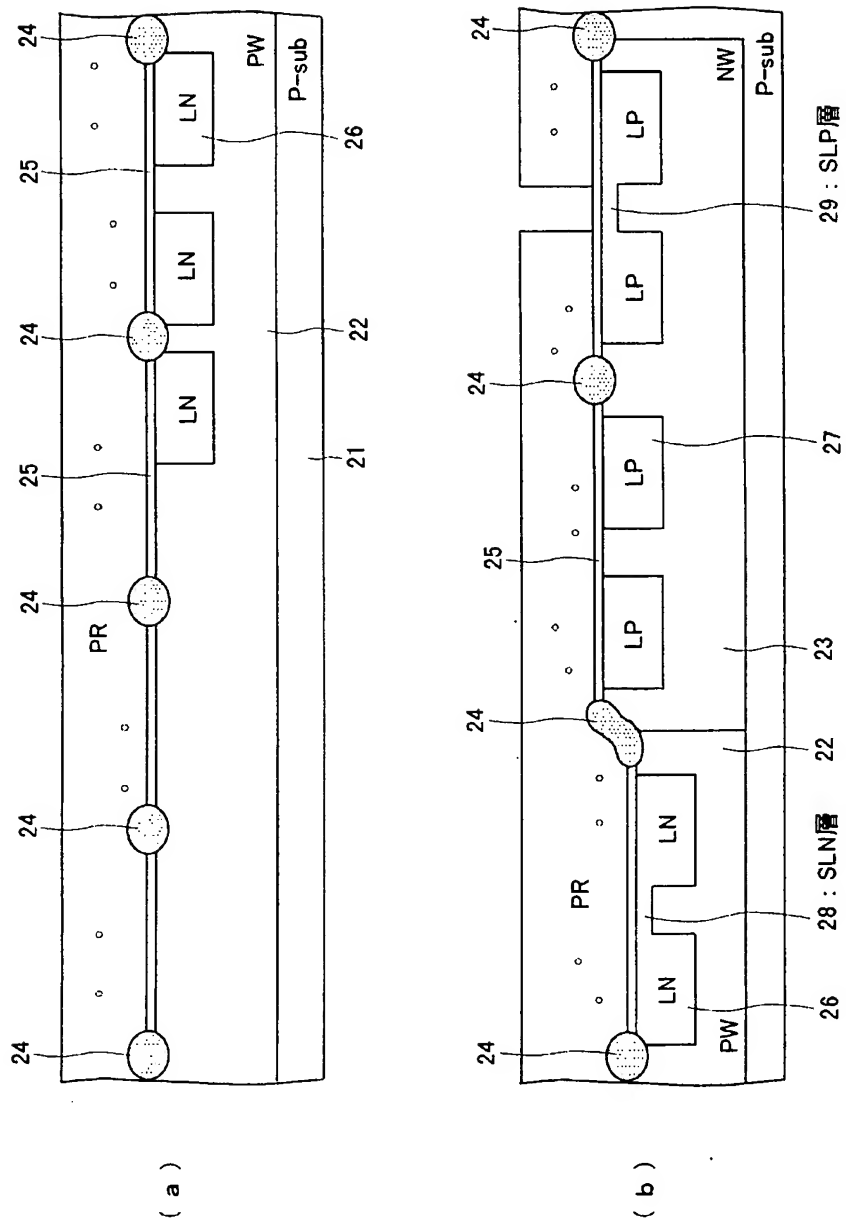
従来の半導体装置のパターンレイアウトを示す平面図である。

【書類名】 図面

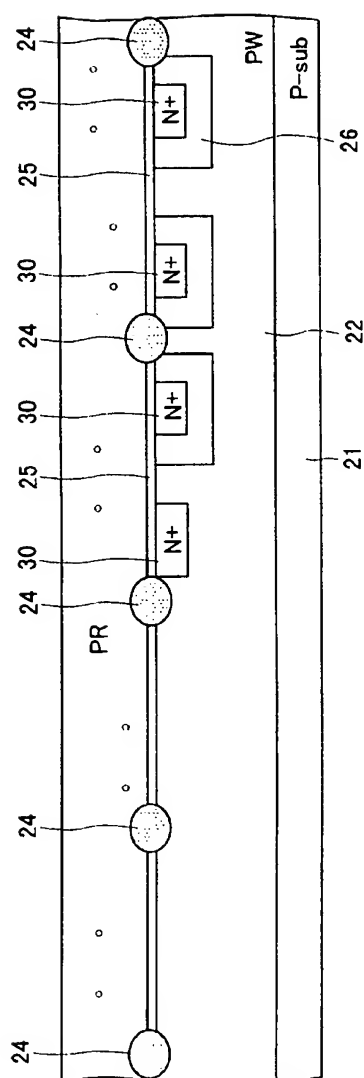
【図 1】



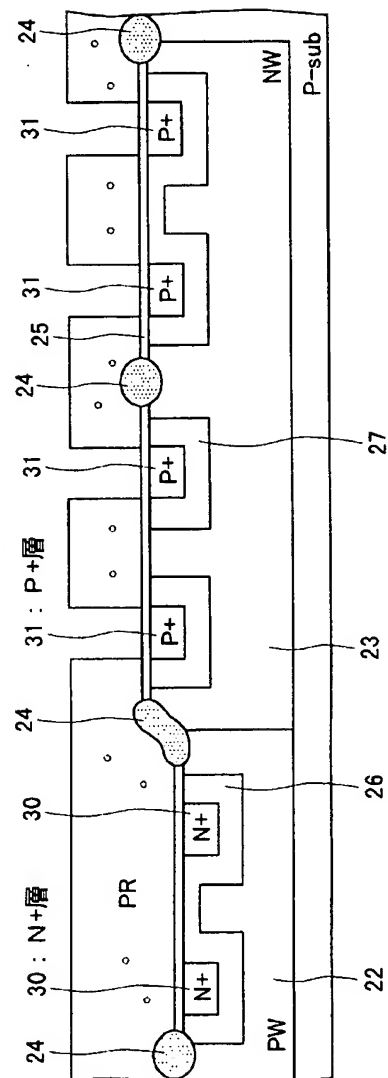
【図 3】



【図 4】

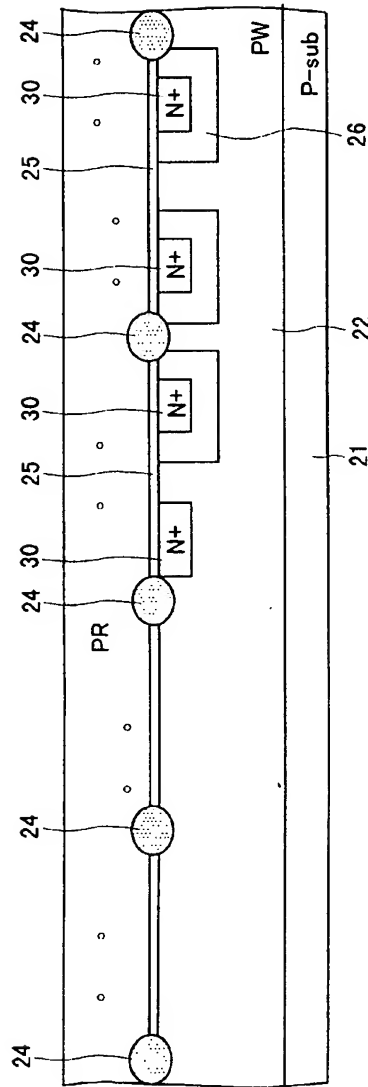


(a)

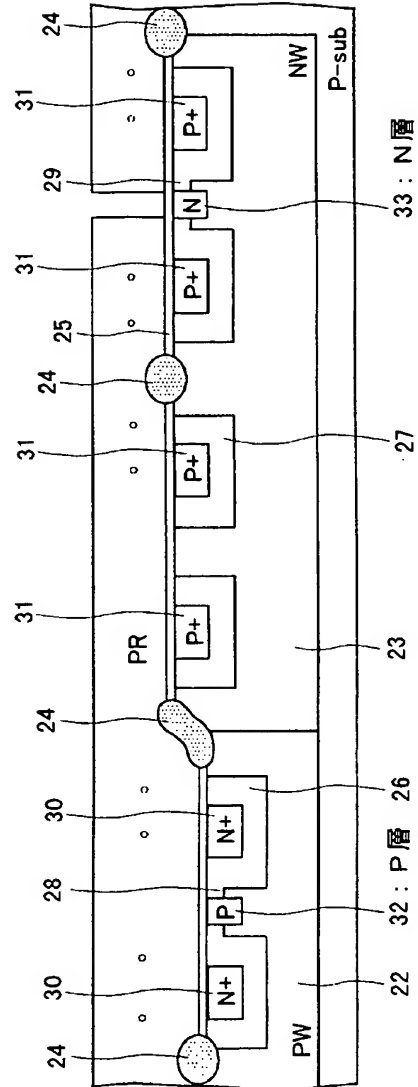


(९)

【図5】

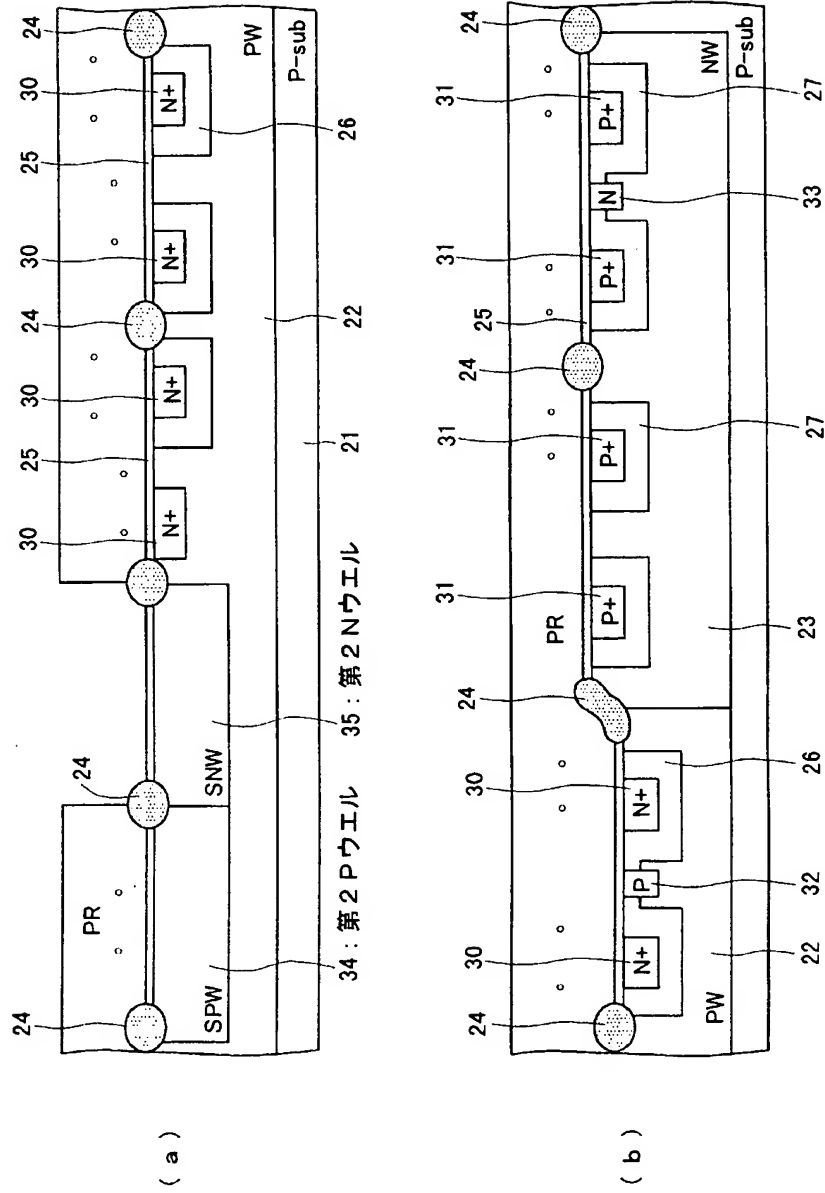


(a)

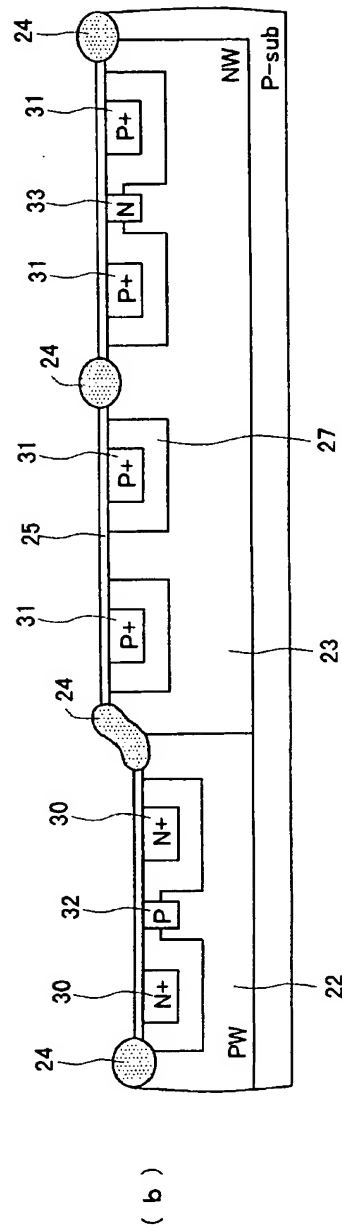
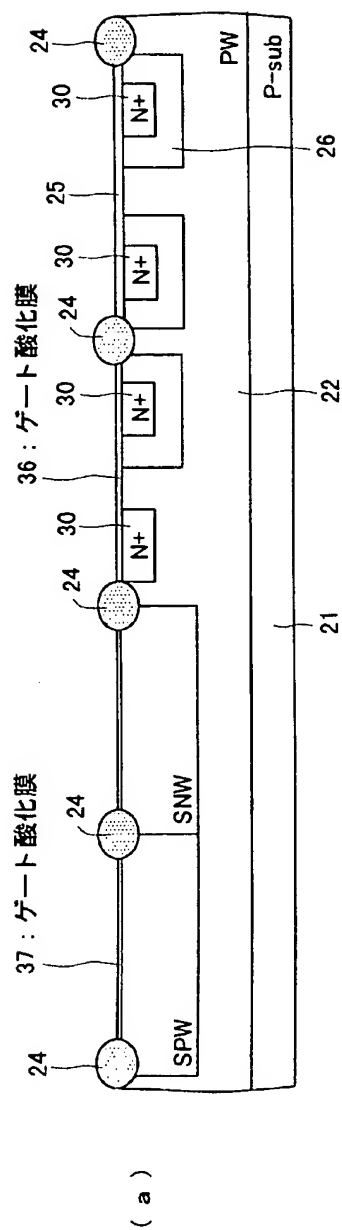


(b)

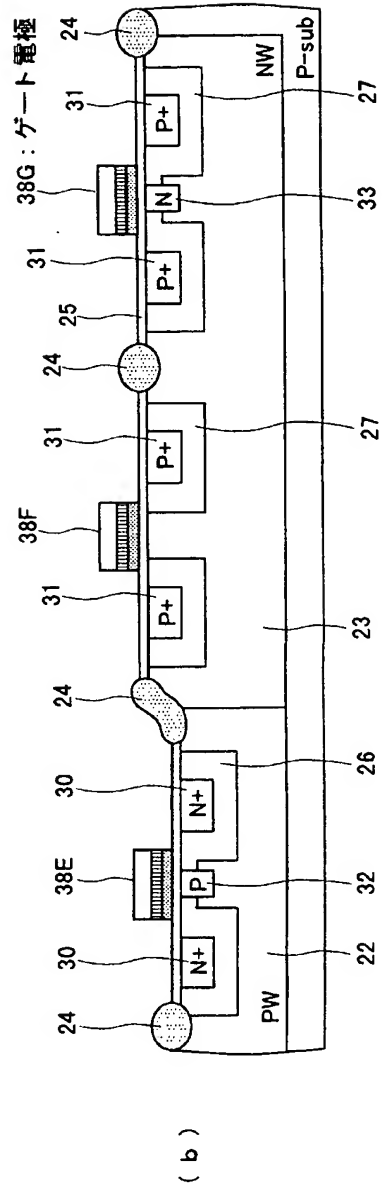
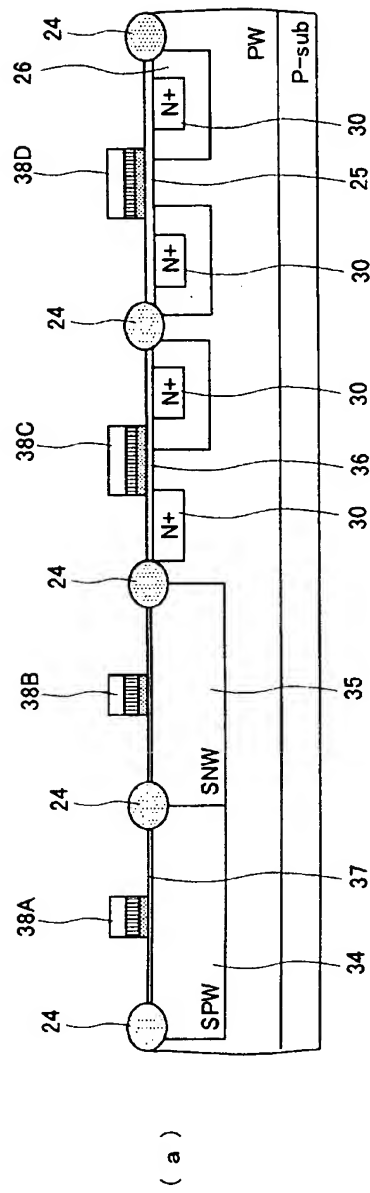
【図6】



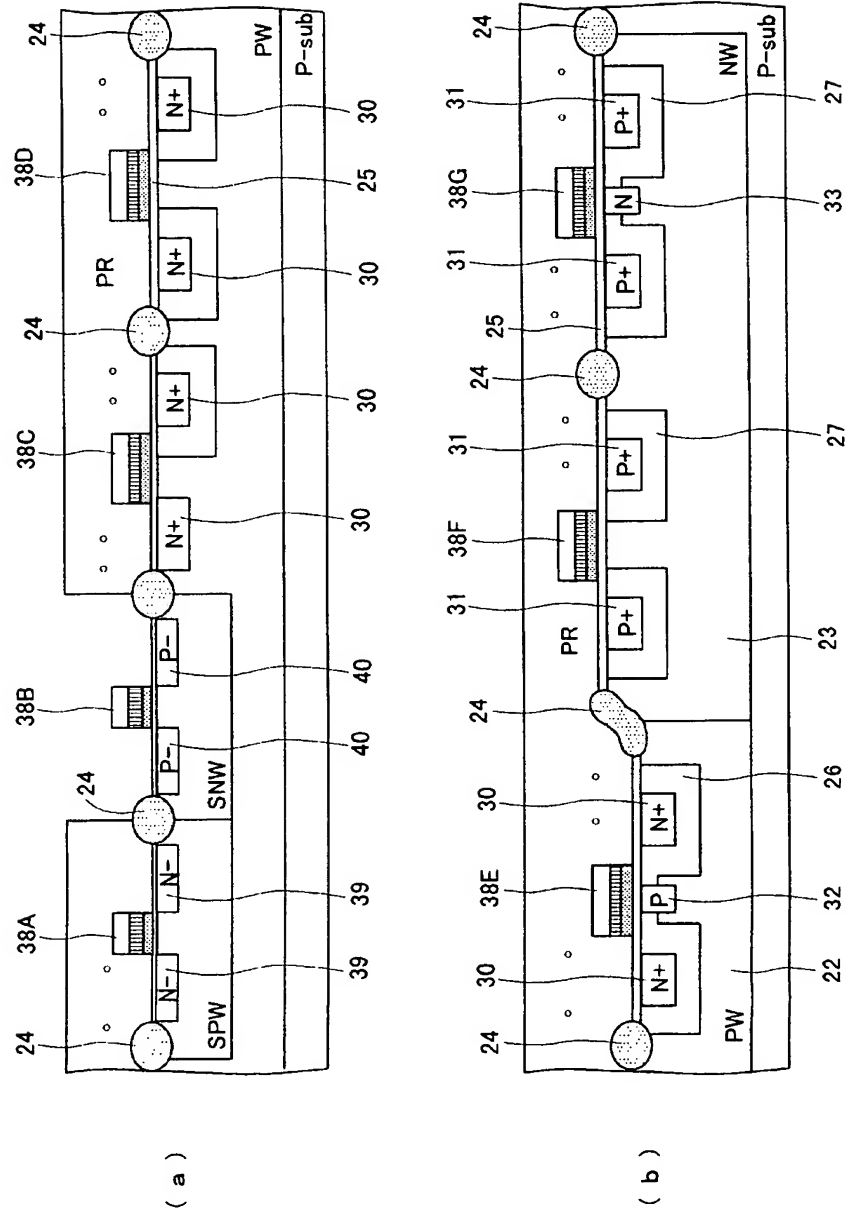
【圖 7】



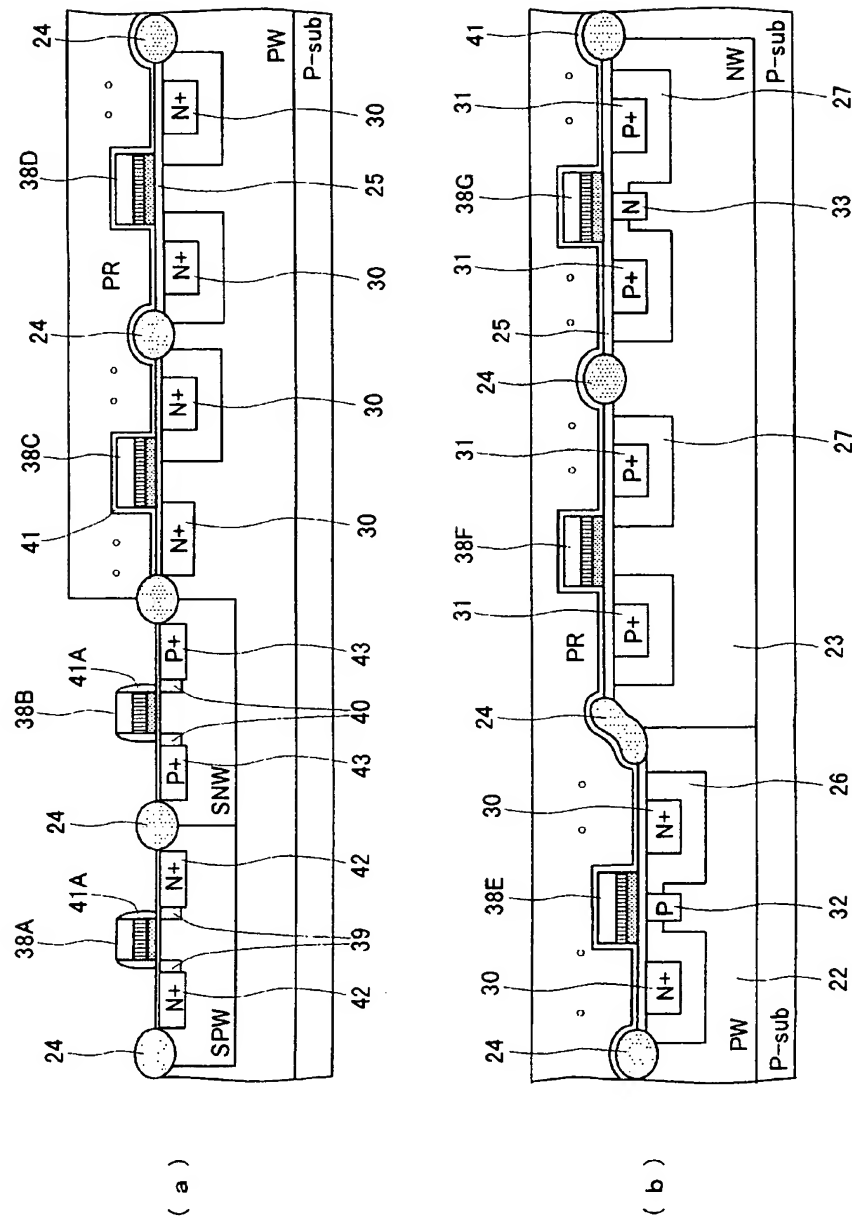
【図8】



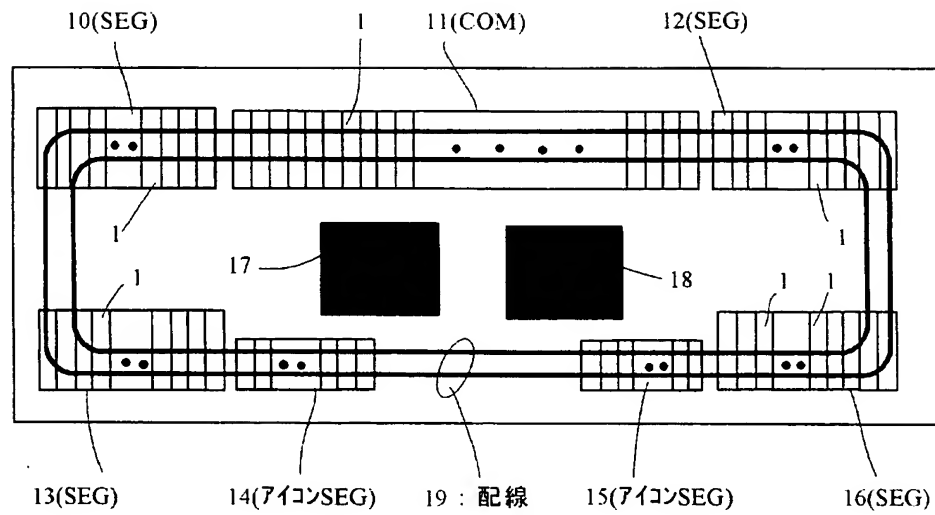
【図 9】



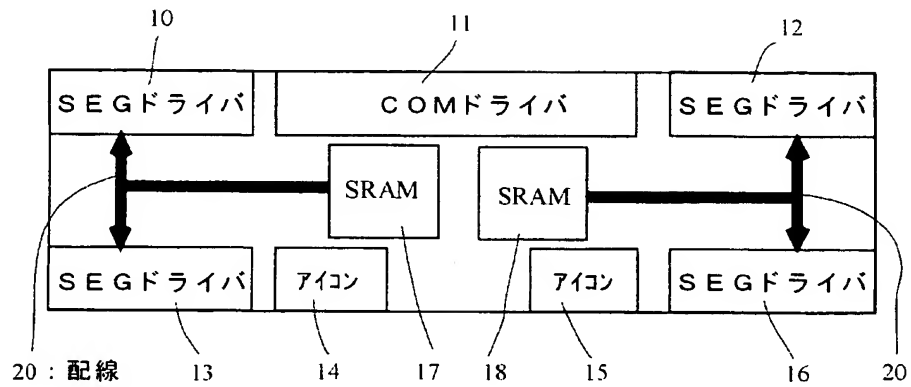
【図 10】



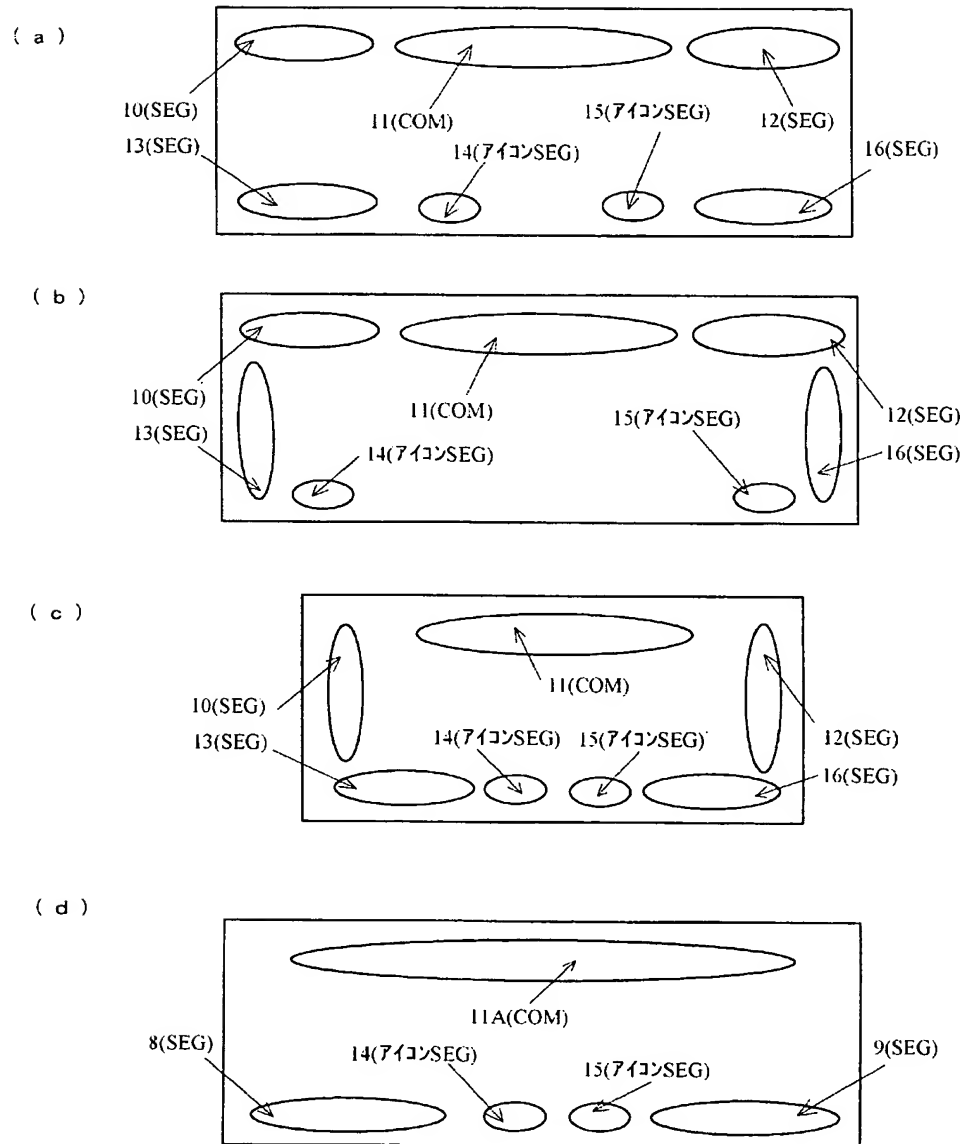
【図 1 1】



【図 1 2】

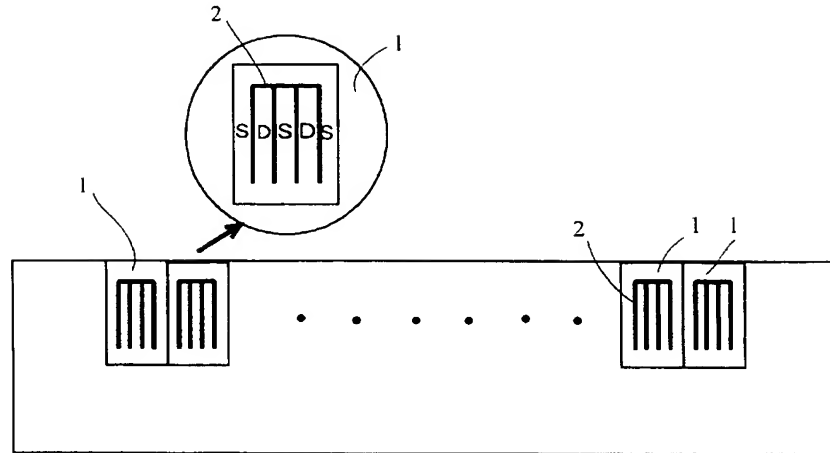


【図 13】

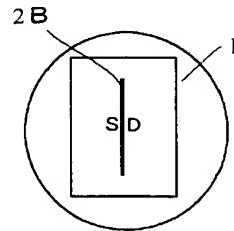


【図 14】

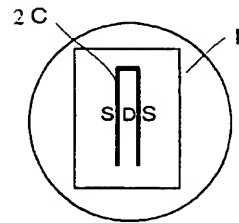
(a)



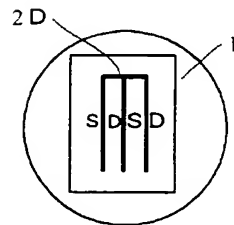
(b)



(b)



(b)



【書類名】 要約書

【要約】

【課題】 ドライバ駆動用の半導体装置を 1 チップ化する。

【解決手段】 本発明の半導体装置は、陽極ドライバ、陰極ドライバとメモリ部等が 1 チップ化された表示ディスプレイ駆動用ドライバに適用され、例えば陽極ドライバを所望の出力ビット群毎にグループ分け（陽極ドライバ 10, 12, 13, 16）した状態で、各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置された各出力ビット群内の各出力ビットに結線される配線 19 をチップ形状に合わせて周回させたことを特徴とする。

【選択図】 図 11

特願 2001-061828

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日
[変更理由]

1993年10月20日

住 所
氏 名

住所変更

大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社